

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-249826

(43)Date of publication of application : 05.09.2003

(51)Int.Cl.

H03F 3/45

G09G 3/20

G09G 3/36

(21)Application number : 2002-048381

(71)Applicant : NEC CORP

(22)Date of filing : 25.02.2002

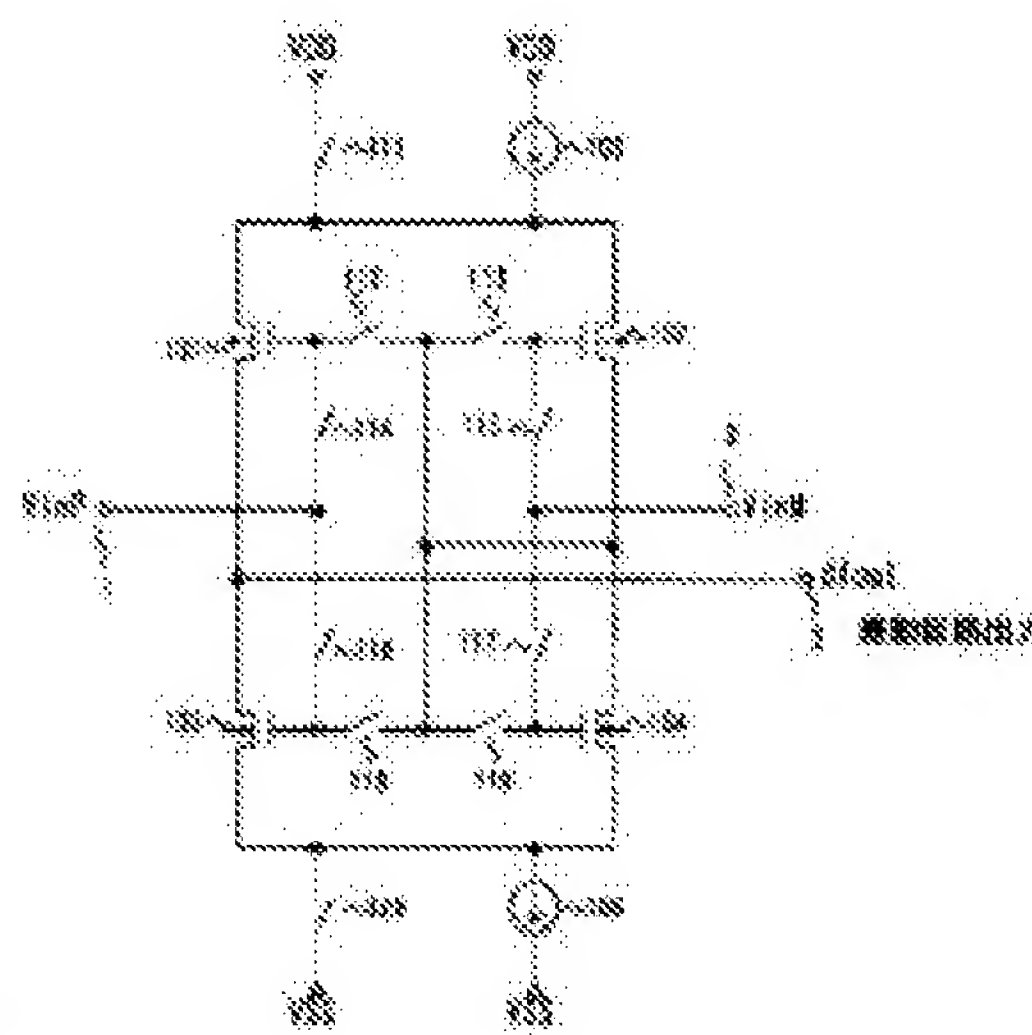
(72)Inventor : TSUCHI HIROSHI

(54) DIFFERENTIAL CIRCUIT AND AMPLIFICATION CIRCUIT, AND DISPLAY DEVICE USING THESE CIRCUITS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a differential circuit and an amplification circuit whose variations of amplitude difference is small, full-range driving is possible, and power consumption is low.

SOLUTION: This device has a pair of p-type transistors 101 and 102 and a pair of n-type transistors 103 and 104. A current source 105 and a switch 111 are connected in parallel between a source, to which the transistors 101 and 102 are connected in common and a power source VDD. A current source 106 and a switch 120 are connected in parallel between a source, to which the transistors 103 and 104 are connected in common and a power source VSS. This device also has connection switching means (switches 112 to 119), which freely switch the respective transistor pairs to a differential pair, which receive a differential input voltage or a current mirror pair which serves the load of the differential pair. When one of the two pairs of transistors become the differential pair, the other pair become the current mirror pair.

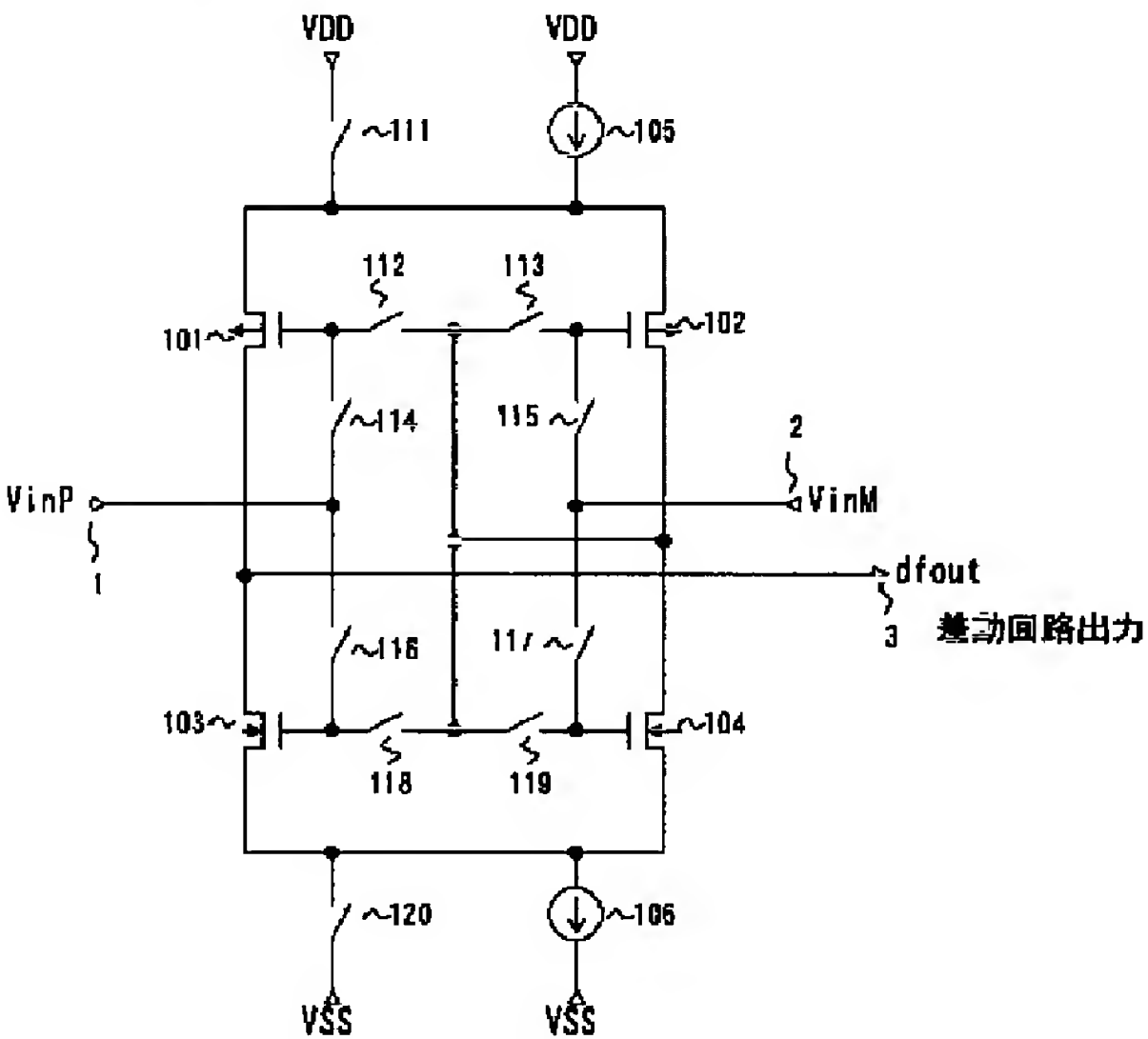


(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 3 F 3/45		H 0 3 F 3/45	A 5 C 0 0 6
			B 5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 J 0 6 6
			6 1 1 H 5 J 5 0 0
	6 2 3		6 2 3 B
審査請求 有 請求項の数31 O L (全 26 頁) 最終頁に続く			

(21) 出願番号	特願2002-48381(P2002-48381)	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成14年2月25日(2002.2.25)	(72) 発明者	土 弘 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	100080816 弁理士 加藤 朝道
		最終頁に続く	

(54) 【発明の名称】 差動回路及び増幅回路及びそれを用いた表示装置

(57) 【要約】
【課題】 振幅差偏差が小さく、フルレンジ駆動が可能で、消費電力も小さい差動回路及び増幅回路の提供。
【解決手段】 p型のトランジスタ対101、102と、n型のトランジスタ対103、104とを含み、トランジスタ対101、102の共通接続されたソースと電源VDD間には、電流源105とスイッチ111とが並列に接続されており、トランジスタ対103、104の共通接続されたソースと電源VSS間には、電流源106とスイッチ120とが並列に接続されており、それぞれのトランジスタ対を、差動入力電圧を受ける差動対と、前記差動対の負荷となるカレントミラー対とに切替え自在とする接続切替手段(スイッチ112～119)を備え、前記2つのトランジスタ対のうち一方が差動対となるとときに、他方がカレントミラー対となる。



【特許請求の範囲】

【請求項1】第1導電型の第1のトランジスタ対と、第2導電型の第2のトランジスタ対と、を含み、前記第1のトランジスタ対の出力対は、前記第2のトランジスタ対の出力対にそれぞれ接続されており、前記第1のトランジスタ対の共通テールと第1の電源との間には、電流源とスイッチとが並列に接続されており、前記第2のトランジスタ対の共通テールと第2の電源との間には、電流源とスイッチとが並列に接続されており、それぞれのトランジスタ対を、電流源で駆動され、入力対から差動入力電圧を受ける差動対と、入力対同士が接続され、一方のトランジスタがダイオード接続され、前記差動対の負荷となるカレントミラー回路と、に切替え自在とする接続切替手段を備え、前記第1と第2のトランジスタ対のうち一方のトランジスタ対が差動対とされるときに、他方のトランジスタ対はカレントミラー回路とされる、ことを特徴とする差動回路。

【請求項2】第1導電型の第1のトランジスタ対と、第2導電型の第2のトランジスタ対と、を含み、前記第1のトランジスタ対のドレインは、前記第2のトランジスタ対のドレインにそれぞれ接続されており、前記第1のトランジスタ対の共通接続されたソースと第1の電源との間には、第1電流源と第1のスイッチとが並列に接続されており、前記第2のトランジスタ対の共通接続されたソースと第2の電源との間には、第2の電流源と第2のスイッチとが並列に接続されており、前記第1のトランジスタ対を、共通接続されたソースが前記第1の電流源を介して前記第1の電源に接続され、ゲートに差動入力電圧を受ける差動対とし、前記第2のトランジスタ対を、ゲート同士が接続され、共通接続されたソースが前記第2のスイッチを介して前記第2の電源に接続され、一方のトランジスタのゲートとドレインとが互いに接続されてなるカレントミラー回路とする第1の接続構成と、前記第2のトランジスタ対を、共通接続されたソースが前記第2の電流源を介して前記第2の電源に接続され、ゲートに差動入力電圧を受ける差動対とし、前記第1のトランジスタ対を、ゲート同士が接続され、共通接続されたソースが前記第1のスイッチを介して前記第1の電源に接続され、一方のトランジスタのゲートとドレインとが互いに接続されてなるカレントミラー回路とする第2の接続構成と、

を取り得るものとし、

前記第1の接続構成から前記第2の接続構成、及び、前記第2の接続構成から前記第1の接続構成への切替を制御する接続切替手段を備えている、ことを特徴とする差動回路。

【請求項3】前記第1のトランジスタ対がpチャネルトランジスタ対よりなり、前記第2のトランジスタ対がnチャネルトランジスタ対よりなり、前記第1の電源が高位側電源よりなり、前記第2の電源が低位側電源よりなり、高位側電圧の駆動時には、前記nチャネルトランジスタ対を差動対とし、前記pチャネルトランジスタ対をカレントミラー回路とし、低位側電圧の駆動時には、前記pチャネルトランジスタ対が差動対とし、前記nチャネルトランジスタ対をカレントミラー回路とするように、前記接続切替手段の切替を制御する、ことを特徴とする請求項1又は2に記載の差動回路。

【請求項4】ソースが共通接続されている第1導電型の第1、及び第2のトランジスタと、ドレインが前記第1導電型のトランジスタ対のドレインにそれぞれ接続され、ソースが共通接続されている、第2導電型の第3、及び第4のトランジスタと、前記第1、及び第2のトランジスタのソースの共通接続節点と、第1の電源との間に、並列形態に接続されている、第1のスイッチ及び第1の電流源と、前記第3、及び第4のトランジスタのソースの共通接続節点と、第2の電源との間に、並列形態に接続されている、第2のスイッチ及び第2の電流源と、前記第1、及び第2のトランジスタのそれぞれのゲートとの間に、直列形態に接続されている第3、及び第4のスイッチと、前記第3、及び第4のトランジスタのそれぞれのゲートとの間に、直列形態に接続されている第5、及び第6のスイッチと、前記第1のトランジスタのゲートと前記第3のスイッチとの接続節点と、第1の入力端子との間に挿入されている第7のスイッチと、前記第2のトランジスタのゲートと前記第4のスイッチとの接続節点と、第2の入力端子との間に挿入されている第8のスイッチと、前記第3のトランジスタのゲートと前記第5のスイッチとの接続節点と、前記第1の入力端子の間に挿入されている第9のスイッチと、前記第4のトランジスタのゲートと前記第6のスイッチとの接続節点と、前記第2の入力端子との間に挿入されている第10のスイッチと、を備え、前記第3のスイッチと前記第4のスイッチとの接続節点

と、前記第5のスイッチと前記第6のスイッチとの接続節点とが互いに接続され、その共通接続節点は、前記第2のトランジスタのドレインと前記第4のトランジスタのドレインとの接続節点に接続されており、前記第1のトランジスタのドレインと前記第3のトランジスタのドレインとの接続節点が出来端子に接続されている、ことを特徴とする差動回路。

【請求項5】前記第1、第3、第4、第9、及び第10のスイッチが導通状態とされ、且つ前記第2、第5、第6、第7、及び第8のスイッチが非導通状態とされるか、あるいは、

前記第1、第3、第4、第9、及び第10のスイッチが非導通状態とされ、且つ前記第2、第5、第6、第7、及び第8のスイッチが導通状態とされる、ことを特徴とする請求項4に記載の差動回路。

【請求項6】前記第1、第3、及び第4のスイッチは、第1の制御信号の反転信号をゲートに入力とする第1導電型のトランジスタよりなり、それぞれ前記第1の制御信号が第1の論理値のときにオンし、

前記第2、第5、及び第6のスイッチは、第2の制御信号をゲートに入力とする第2導電型のトランジスタよりなり、それぞれ前記第2の制御信号が第1の論理値のときにオンし、

前記第7、及び第8のスイッチは、前記第2の制御信号とその反転信号をゲートにそれぞれ入力とするCMOSトランスファゲートよりなり、それぞれ前記第2の制御信号が第1の論理値のときにオンし、

前記第9、及び第10のスイッチは、前記第1の制御信号とその反転信号とをゲートにそれぞれ入力とするCMOSトランスファゲートよりなり、それぞれ前記第1の制御信号が第1の論理値のときにオンする、ことを特徴とする請求項4に記載の差動回路。

【請求項7】前記第1及び第2のトランジスタがpチャネルトランジスタ対よりなり、

前記第3及び第4のトランジスタがnチャネルトランジスタ対よりなり、

前記第1の電源が高位側電源よりなり、

前記第2の電源が低位側電源よりなり、

高位側電圧の安定駆動時には、前記nチャネルトランジスタ対を差動対とし、前記pチャネルトランジスタ対をカレントミラー回路とし、

低位側電圧の安定駆動時には、前記pチャネルトランジスタ対を差動対とし、前記nチャネルトランジスタ対がカレントミラー回路となるように、前記第1、第3、第4、第9、及び第10のスイッチと、前記第2、第5、第6、第7、及び第8のスイッチの導通状態が切替を制御される、ことを特徴とする請求項4に記載の差動回路。

【請求項8】請求項1乃至7のいずれか一に記載の差動回路と、

前記差動回路の出力信号を受けて出力端子を充電する充電増幅段と、

前記差動回路の出力信号を受けて前記出力端子を放電する放電増幅段と、

を備え、

前記出力端子が、前記差動回路の差動入力端子の反転入力端子に帰還入力される、ことを特徴とする増幅回路。

【請求項9】前記差動回路の出力信号を制御して、前記充電増幅段を、所定の期間、非活性とする制御を行う第1のリセット回路を備えている、ことを特徴とする請求項8に記載の増幅回路。

【請求項10】前記差動回路の出力信号を制御して、前記放電増幅段を、所定の期間、非活性とする制御を行う第2のリセット回路を備えている、ことを特徴とする請求項8に記載の増幅回路。

【請求項11】前記充電増幅段が、前記差動回路の出力信号をゲートに受け、ドレインが前記出力端子に接続されている第1導電型の第5のトランジスタと、前記第5のトランジスタのソースと、高位側電源をなす第1の電源との間に挿入されている第11のスイッチと、

前記第5のトランジスタのドレインと、低位側電源をなす第2の電源との間に、直列形態に接続されている、第12のスイッチ及び第3の電流源と、を備えている、ことを特徴とする請求項8に記載の増幅回路。

【請求項12】前記放電増幅段が、前記差動回路の出力信号をゲートに受け、ドレインが前記出力端子に接続されている第2導電型の第6のトランジスタと、前記第6のトランジスタのソースと、低位側電源をなす第2の電源との間に挿入されている第13のスイッチと、

前記第6のトランジスタのドレインと、高位側電源をなす第1の電源との間に、直列形態に接続されている、第14のスイッチ及び第4の電流源を備えている、ことを特徴とする請求項8に記載の増幅回路。

【請求項13】前記第1の電源と前記第5のトランジスタのゲートとの間に挿入された第15のスイッチを有する第1のリセット回路を備えている、ことを特徴とする請求項11に記載の増幅回路。

【請求項14】前記第2の電源と前記第6のトランジスタのゲートとの間に挿入された第16のスイッチを有する第2のリセット回路を備えている、ことを特徴とする請求項12に記載の増幅回路。

【請求項15】請求項1乃至7のいずれか一に記載の差動回路を備え、

前記差動回路は、入力端子電圧と出力端子電圧とを差動入力し、

前記差動回路の出力信号に基づき前記出力端子の充電作用を行う充電回路と、

前記入力端子電圧を受けて出力バイアス電圧を制御する第1のバイアス制御手段と、前記出力端子と、低位側電源をなす第2の電源との間に接続され、前記第1のバイアス制御手段から出力されるバイアス電圧を入力とするフォロワトランジスタと、を備え、前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の放電作用を行うフォロワ型放電回路と、

前記差動回路の出力信号に基づき前記出力端子の放電作用を行う放電回路と、

前記入力端子電圧を受けて出力バイアス電圧を制御する第2のバイアス制御手段と、高位側電源をなす第1の電源と前記出力端子との間に接続され、前記第2のバイアス制御手段のバイアス電圧を入力とするフォロワトランジスタと、を備え、前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の充電作用を行うフォロワ型充電回路と、を備えている、ことを特徴とする増幅回路。

【請求項16】請求項4乃至7のいずれかーに記載の差動回路を備え、

前記差動回路は、入力端子電圧と出力端子電圧とを差動入力し、

高位側電源をなす第1の電源と、前記出力端子との間に接続され、前記差動回路の出力信号をゲートに入力とする第1導電型の第7のトランジスタを含む充電回路と、前記出力端子と、低位側電源をなす第2の電源との間に接続されるフォロワ構成の第1導電型の第8のトランジスタと、

前記入力端子と前記低位側電源間に挿入され、第5の定電流源で駆動され、ゲートが前記フォロワ構成の第8のトランジスタのゲートに接続されるダイオード接続されている第1導電型の第9のトランジスタと、

を有するフォロワ型放電回路と、

前記低位側電源と前記出力端子との間に接続され、前記差動回路の出力信号をゲートに入力する第2導電型の第10のトランジスタを含む放電回路と、

前記出力端子と高位側電源間に接続されるフォロワ構成の第2導電型の第11のトランジスタと、

前記高位側電源と前記入力端子間に挿入され、第6の定電流源で駆動され、ゲートが前記フォロワ構成の第11のトランジスタのゲートに接続されるダイオード接続されている第2導電型の第12のトランジスタと、

を有するフォロワ型充電回路と、

を備えている、ことを特徴とする増幅回路。

【請求項17】前記フォロワ構成の第8のトランジスタと前記低位側電源との間に挿入された第17のスイッチと、

前記第9のトランジスタと前記低位側電源との間に、前記第5の定電流源と直列に接続される第18のスイッチと、

前記第9のトランジスタと前記高位側電源との間に、直列形態に接続されている第19のスイッチ及び第7の定電流源と、

を備え、

フォロワ構成の第11のトランジスタと高位側電源間に挿入される第20のスイッチと、

前記第12のトランジスタと前記高位側電源との間に、前記第6の定電流源と直列に接続される第21のスイッチと、

前記第12のトランジスタと前記低位側電源との間に、直列形態に接続されている第22のスイッチ及び第8の定電流源と、

を備えている、ことを特徴とする請求項16に記載の増幅回路。

【請求項18】前記第9のトランジスタのソースとドレインに、ソースとドレインがそれぞれ接続され、ゲートに所定のバイアス電圧を入力する第1導電型の第13のトランジスタと、

前記第12のトランジスタのソースとドレインに、ソースとドレインがそれぞれ接続され、ゲートに所定のバイアス電圧を入力する第2導電型の第14のトランジスタと、

を備えている、ことを特徴とする請求項16に記載の増幅回路。

【請求項19】前記高位側電源と前記第7のトランジスタのゲート間に挿入された第23のスイッチを有する第1のリセット回路を備えている、ことを特徴とする請求項16乃至18のいずれかーに記載の増幅回路。

【請求項20】前記低位側電源と前記第10のトランジスタのゲート間に挿入された第24のスイッチを有する第2のリセット回路を備えている、ことを特徴とする請求項16乃至19のいずれかーに記載の増幅回路。

【請求項21】前記第1のリセット回路が、前記第5のトランジスタのゲートと前記第15のスイッチとの接続点と、前記差動回路の出力端子との間に挿入されている第25のスイッチを備えている、ことを特徴とする請求項13に記載の増幅回路。

【請求項22】前記第2のリセット回路が、前記第6のトランジスタのゲートと前記第16のスイッチとの接続点と、前記差動回路の出力端子との間に挿入されている第26のスイッチを備えている、ことを特徴とする請求項14に記載の増幅回路。

【請求項23】前記第1のリセット回路が、前記第5のトランジスタのドレインとゲートとの間に接続されている容量を備えている、ことを特徴とする請求項13又は21に記載の増幅回路。

【請求項24】前記第2のリセット回路が、前記第6のトランジスタのドレインとゲートとの間に接続されている容量を備えている、ことを特徴とする請求項14又は22に記載の増幅回路。

【請求項25】前記第1、第3、第4、第9、第10のスイッチがオン状態とされ、且つ前記第2、第5、第6、第7、第8のスイッチがオフ状態とされる第1の接続状態の始まりの所定のリセット期間、前記第15のスイッチがオンされ、その後、前記第15のスイッチがオフされ、前記第11、第12のスイッチがオンされ前記充電用増幅段が活性化される、ことを特徴とする請求項13に記載の増幅回路。

【請求項26】前記第1、第3、第4、第9、及び第10のスイッチがオフ状態とされ、且つ前記第2、第5、第6、第7、及び第8のスイッチがオン状態とされる第2の接続状態の始まりの所定のリセット期間、前記第16のスイッチがオンされ、その後、前記第16のスイッチがオフされ、前記第13、第14のスイッチがオンされ前記放電用増幅段が活性化される、ことを特徴とする請求項14に記載の増幅回路。

【請求項27】前記第1、第3、第4、第9、第10のスイッチがオン状態とされ、且つ前記第2、第5、第6、第7、第8のスイッチがオフ状態とされる第1の接続状態では、前記第11、第12のスイッチがオン状態とされ、前記第15のスイッチはオフ状態、前記第25のスイッチはオン状態とされ、前記第1、第3、第4、第9、及び第10のスイッチがオフ状態とされ、且つ前記第2、第5、第6、第7、及び第8のスイッチがオン状態とされる第2の接続状態では、前記第11、第12のスイッチはオフ状態とされ、前記第15のスイッチはオン状態、前記第25のスイッチはオフ状態とされる、ことを特徴とする請求項21に記載の増幅回路。

【請求項28】前記第1、第3、第4、第9、第10のスイッチが導通状態とされ、且つ前記第2、第5、第6、第7、第8のスイッチが非導通状態とされる第1の接続状態では、前記第13、第14のスイッチがオフ状態とされ、前記第16のスイッチはオン状態、前記第26のスイッチはオフ状態とされ、前記第1、第3、第4、第9、及び第10のスイッチが非導通状態とされ、且つ前記第2、第5、第6、第7、及び第8のスイッチが導通状態とされる第2の接続状態では、前記第13、第14のスイッチがオン状態とされ、前記第16のスイッチはオフ状態、前記第26のスイッチはオン状態とされる、ことを特徴とする請求項22に記載の増幅回路。

【請求項29】前記第11のスイッチが削除されており、前記第5のトランジスタのソースが、高位側電源をなす前記第1の電源に直接接続されている、ことを特徴とする請求項27に記載の増幅回路。

【請求項30】前記第16のスイッチが削除されており、前記第6のトランジスタのソースが、低位側電源をなす前記第2の電源に直接接続されている、ことを特徴とする請求項28に記載の増幅回路。

【請求項31】請求項8乃至30のいずれかに記載の増幅回路をデータ線を駆動するための駆動回路として備えている、ことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、差動回路及び増幅回路及びそれを用いた表示装置に関する。

【0002】

【従来の技術】高電位側と低電位側のフルレンジ駆動のために、充電用アンプと放電用アンプの2つのアンプを切り替えて駆動する駆動回路が知られている。しかしながら、この種の駆動回路を、液晶表示装置の駆動回路に用いた場合、トランジスタ特性のばらつき等により、2つのアンプそれぞれで出力偏差が生じる。このため、同一階調の正極性と負極性の電圧振幅差の各出力間のばらつき（振幅差偏差）が大きく、画質が低下する場合があった。なお、振幅差偏差とは、多出力の液晶駆動回路の性能指標の1つであり、同一階調の正極性と負極性の電圧振幅差の各出力間の偏差を意味する。各出力間の振幅差偏差が小さいほど高画質となる。以下、充電用アンプと放電用アンプの2つのアンプを切り替えて駆動する構成の従来の駆動回路について説明する。

【0003】図15は、充電用アンプと放電用アンプの2つのアンプ（増幅回路）を備えた従来の駆動回路の構成の一例を示す図である。すなわち、図15には、ボルテージフォロワ回路910と、ボルテージフォロワ回路920を組み合わせた駆動回路が示されている。

【0004】ボルテージフォロワ回路910は、ソースが共通接続され、定電流源915とスイッチ951を介して低位側電源（グランド電位）VSSに接続され、それぞれのゲートに、入力端子電圧 V_{in} と出力端子電圧 V_{out} とを差動入力し、差動対をなすnチャネルトランジスタ913、914と、ソースがそれぞれ高位側電源VDDに接続され、ゲートが共通接続され、それぞれのドレインがnチャネルトランジスタ913、914のドレインにそれぞれ接続されているpチャネルトランジスタ911、912を備えている。pチャネルトランジスタ912のドレインとソースは互いに接続されており、pチャネルトランジスタ911、912は、カレントミラー回路を構成し、差動対の能動負荷として機能する。さらに、pチャネルトランジスタ911のドレインとnチャネルトランジスタ913のドレインの接続点（差動対の出力端）にゲートが接続され、ソースがスイッチ952を介して高位側電源VDDに接続されているpチャネルトランジスタ916を備えている。そして、pチャネルトランジスタ916のドレインと出力端子との接続点と低位側電源VSS間には定電流917とスイッチ953とが直列形態に接続されている。

【0005】ボルテージフォロワ回路920は、ソースが共通接続され、定電流源925とスイッチ961を介

して高位側電源VDDに接続され、それぞれのゲートに入力端子電圧V_{in}と出力端子電圧V_{out}を差動入力し、差動対をなすpチャネルトランジスタ923、924と、ソースがそれぞれ低位側電源VSSに接続され、ゲートが共通接続され、ドレインがpチャネルトランジスタ923、924のドレインにそれぞれ接続されているnチャネルトランジスタ921、922を備えている。nチャネルトランジスタ922のドレインとソースは互いに接続され、nチャネルトランジスタ921、922は、カレントミラー回路を構成し差動対の能動負荷として機能する。さらに、nチャネルトランジスタ921のドレインとpチャネルトランジスタ923のドレインの接続点にゲートが接続され、ソースがスイッチ962を介して低位側電源VSSに接続されているnチャネルトランジスタ926を備え、nチャネルトランジスタ926のドレインと出力端子との接続点と高位側電源VDD間には、定電流927とスイッチ963とが直列形態に接続されている。

【0006】回路910、920において、入力端子電圧V_{in}が差動回路の非反転入力端子（トランジスタ913、923のゲート）に入力され、出力端子電圧V_{out}が差動回路の反転入力端子（トランジスタ914、924のゲート）に入力されており、ボルテージフォロワを構成している。

【0007】ボルテージフォロワ回路910と920におけるスイッチ951、952、953、およびスイッチ961、962、963は、それぞれボルテージフォロワ回路910、920の動作を制御するスイッチである。

【0008】ボルテージフォロワ回路910において、出力端子V_{out}の放電作用は、電流源917により一定の放電能力となっているが、出力端子V_{out}の充電作用は、pチャネルトランジスタ916により高速充電が可能である。

【0009】一方、ボルテージフォロワ回路920において、出力端子V_{out}の充電作用は、電流源927により一定の充電能力となっているが、出力端子V_{out}の放電作用はnチャネルトランジスタ926により高速放電が可能である。

【0010】したがって、駆動回路の出力端子に接続された負荷を、基準レベルに対して、高電位レベルへ駆動するときには、スイッチ951、952、及び953をオンとして、ボルテージフォロワ回路910を活性化（動作）させ、低電位レベルへ駆動するときには、スイッチ961、962、963をオンとして、ボルテージフォロワ回路920を活性化（動作）させることにより、高速駆動を実現することができる。

【0011】また、ボルテージフォロワ回路910、920は、それぞれ、トランジスタ913、923がオフするような入力電圧V_{in}に対しては動作しないため、

それぞれ単独では、フルレンジ駆動（電源電圧範囲内の全領域の駆動）はできない。そこで、2つのボルテージフォロワ回路910、920のそれぞれを切り替えて駆動することにより、フルレンジ駆動が可能である。

【0012】しかしながら、2つのボルテージフォロワ回路910、920は、それぞれ製造プロセスに起因する素子特性のばらつきにより出力オフセットを生じる。

【0013】出力オフセットの主な要因は、ボルテージフォロワ回路を構成する差動回路の差動対や、カレントミラー回路のペアトランジスタ同士の特性のずれによって生じる場合が多い。

【0014】そして、トランジスタの特性のずれは任意に生じるため、2つのボルテージフォロワ回路910、920の出力オフセットは個別に生じる。そのため、図15の駆動回路は、2つのボルテージフォロワ回路910、920を切り替えて駆動したときにオフセットが大きく変化する、という問題が生じる。

【0015】特に、液晶表示装置の階調電圧の増幅用アンプなどは、液晶の特性に合わせて設けられた階調レベルの電圧間隔を保つことが階調表示を行うために重要である。このため、このような増幅用アンプ（駆動回路）には、出力オフセットが階調によって余り変化しない、すなわち出力オフセットの階調間の偏差が十分小さいことが求められている。

【0016】しかしながら、図15に示した駆動回路を、液晶表示装置の階調電圧の増幅用アンプとして用いると、2つのボルテージフォロワ回路910、920を切り替えて駆動したときに、出力オフセットが大きく変化し、階調レベルの電圧間隔を十分保てない場合がある、という問題が生じる。

【0017】上記問題点について、図16を参照して更に詳しく説明する。図16は、基準レベルに対して、高電位側の高位レベルVL1と低電位側の低位レベルVL2を、図15の駆動回路で駆動した場合の期待値と、オフセットを含む出力値を示した図である。高位レベルVL1は、ボルテージフォロワ回路910で駆動し、低位レベルVL2はボルテージフォロワ回路920で駆動するものとし、それぞれのオフセットは、 $\pm \Delta VL1$ 、 $\pm \Delta VL2$ とする。そして、階調レベルの電圧間隔が保たれるかは、2つの階調レベルの振幅差偏差が十分小さいか否かによって判断することができる。

【0018】図16より、2つの電圧レベルVL1、VL2の振幅差偏差は、最大振幅差が

$$\{ (VL1 + \Delta VL1) - (VL2 - \Delta VL2) \} \quad \dots (1)$$

であり、最小振幅差が、

$$\{ (VL1 - \Delta VL1) - (VL2 + \Delta VL2) \} \quad \dots (2)$$

である。

【0019】したがって、振幅差偏差の最大値は、両者の差（式（1）と（2）の差）から次式（3）で与えられる。

$\{2 \times (\Delta V_{L1} + \Delta V_{L2})\}$... (3)

【0020】すなわち、図15の駆動回路において、2つのボルテージフォロワ回路910、920を切り替えて駆動したときの振幅差偏差は、それぞれのボルテージフォロワ回路のオフセットの絶対値の和の2倍の偏差を取り得る場合があることを示している。

【0021】

【発明が解決しようとする課題】したがって、本発明が解決しようとする課題は、振幅差偏差を小さくしながら、フルレンジ駆動が可能であり、消費電力を削減可能とした差動回路及び増幅回路を提供することにある。

【0022】また本発明が解決しようとする課題は、上記回路を表示装置のデータ線駆動回路に用いることにより、画質を向上させる表示装置を提供することにある。

【0023】

【課題を解決するための手段】上記課題あるいは他の課題の少なくとも1つを解決する本発明に係る差動回路は、第1のトランジスタ対と、前記第1のトランジスタ対とは導電型の異なる第2のトランジスタ対と、を含み、前記第1のトランジスタ対の出力対は、前記第2のトランジスタ対の出力対にそれぞれ接続されており、前記第1のトランジスタ対の共通テールと第1の電源との間には電流源とスイッチとが並列に接続されており、前記第2のトランジスタ対の共通テールと第2の電源との間には電流源とスイッチとが並列に接続されており、それぞれのトランジスタ対を、入力対から差動入力電圧を受ける差動対と、入力対同士が接続され一方のトランジスタがダイオード接続され前記差動対の負荷となるカレントミラー回路と、に切替え自在とする接続切替手段を備え、前記第1と第2のトランジスタ対のうち一方のトランジスタ対が差動対とされるときに、他方のトランジスタ対はカレントミラー回路とされる。

【0024】本発明の他のアスペクトに係る差動回路は、第1導電型の第1のトランジスタ対と、第2導電型の第2のトランジスタ対と、を含み、前記第1のトランジスタ対のドレインは、前記第2のトランジスタ対のドレインにそれぞれ接続されており、前記第1のトランジスタ対の共通接続されたソースと第1の電源との間には、第1電流源と第1のスイッチとが並列に接続されており、前記第2のトランジスタ対の共通接続されたソースと第2の電源との間には、第2の電流源と第2のスイッチとが並列に接続されており、前記第1のトランジスタ対を、ソースが共通接続されて前記第1の電流源を介して前記第1の電源に接続され、ゲートに差動入力電圧を受ける差動対とし、前記第2のトランジスタ対を、ゲート同士が接続され、ソースが前記第2のスイッチを介して前記第2の電源に接続され、一方のトランジスタのゲートとドレインが接続されてなるカレントミラー回路とする第1の接続構成と、前記第2のトランジスタ対を、ソースが共通接続されて前記第2の電流源を介して

前記第2の電源に接続され、ゲートに差動入力電圧を受ける差動対とし、前記第1のトランジスタ対を、ゲート同士が接続され、ソースが前記第2のスイッチを介して前記第1の電源に接続され、一方のトランジスタのゲートとドレインが接続されてなるカレントミラー回路とする第2の接続構成と、を取り得るものとし、前記第1の接続構成から前記第2の接続構成、及び、前記第2の接続構成から前記第1の接続構成への切替を制御する接続切替手段を備えている。

【0025】本発明において、前記第1のトランジスタ対がpチャネルトランジスタ対よりなり、前記第2のトランジスタ対がnチャネルトランジスタ対よりなり、前記第1の電源が高位側電源よりなり、前記第2の電源が低位側電源よりなり、高位側電圧の駆動時には、前記nチャネルトランジスタ対を差動対とし、前記pチャネルトランジスタ対をカレントミラー回路とし、低位側電圧の駆動時には、前記pチャネルトランジスタ対が差動対とし、前記nチャネルトランジスタ対をカレントミラー回路とするように、前記接続切替手段の切替を制御する、ことを特徴とする。

【0026】上記課題あるいは他の課題の少なくとも1つを解決する本発明の他のアスペクトに係る増幅回路は、上記本発明に係る差動回路と、差動回路の出力信号を受けて出力端子を充電する充電用増幅段と、前記差動回路の出力信号を受けて前記出力端子を放電する放電用増幅段と、を備え、前記出力端子が、前記差動回路の差動入力端子の反転入力端子に帰還入力される。

【0027】本発明の他のアスペクトに係る増幅回路は、本発明に係る差動回路を備え、前記差動回路は、入力端子電圧と出力端子電圧とを差動入力し、前記差動回路の出力信号に基づき前記出力端子の充電作用を行う充電回路と、前記入力端子電圧を受けて出力バイアス電圧を制御する第1のバイアス制御手段と、前記出力端子と、低位側電源をなす第2の電源との間に接続され、前記第1のバイアス制御手段から出力されるバイアス電圧を入力とするフォロワトランジスタと、を備え、前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の放電作用を行うフォロワ型放電回路と、前記差動回路の出力信号に基づき前記出力端子の放電作用を行う放電回路と、前記入力端子電圧を受けて出力バイアス電圧を制御する第2のバイアス制御手段と、高位側電源をなす第1の電源と前記出力端子との間に接続され、前記第2のバイアス制御手段のバイアス電圧を入力とするフォロワトランジスタと、を備え、前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の充電作用を行うフォロワ型充電回路と、を備えている。

【0028】また上記課題あるいは他の課題の少なくとも1つを解決する本発明の他のアスペクトに係る表示装

置は、入力端子電圧と出力端子電圧を入力とする本発明に係る差動回路と、前記出力端子の充電及び放電を制御する増幅段を備えた増幅回路をデータ線の駆動回路として備えている。

【0029】

【発明の実施の形態】本発明の実施の形態について説明する。本発明に係る差動回路は、第1のトランジスタ対(101、102)と、前記第1のトランジスタ対とは導電型の異なる第2のトランジスタ対(103、104)と、を含み、第1のトランジスタ対(101、102)の出力対は、第2のトランジスタ対の出力対(103、104)にそれぞれ接続されており、第1のトランジスタ対(101、102)の共通テールと第1の電源(VDD)との間には電流源(105)とスイッチ(111)とが並列に接続されており、第2のトランジスタ対(103、104)の共通テールと第2の電源(VSS)との間には電流源(106)とスイッチ(120)とが並列に接続されており、それぞれのトランジスタ対を、入力対から差動入力電圧を受ける差動対と、入力対同士が接続され一方のトランジスタがダイオード接続され前記差動対の負荷となるカレントミラー回路と、に切替え自在とするための手段(112~119)を備え、第1と第2のトランジスタ対のうち一方のトランジスタ対が差動対とされるときに、他方のトランジスタ対はカレントミラー回路とされる。

【0030】なお、上記回路構成は、CMOSプロセスが適用されるほか、バイポーラトランジスタにも適用できる。液晶表示装置の駆動回路の増幅回路として適用する場合、MOSトランジスタは、多結晶シリコン薄膜トランジスタ(poly-Si TFT)で構成してもよい。poly-Si TFTは、電界効果移動度が高く周辺回路を基板上に集積化できる。また上記構成の差動回路において、トランジスタの出力対は、MOSトランジスタの場合、ドレインの対であり、バイポーラトランジスタの場合、コレクタの対に対応する。またトランジスタ対の入力対は、MOSトランジスタの場合、ゲートの対であり、バイポーラトランジスタの場合、ベースの対である。さらに、トランジスタ対の共通テールは、MOSトランジスタの場合、トランジスタ対の共通接続されたソースであり、バイポーラトランジスタの場合には、トランジスタ対の共通接続されたエミッタである。

【0031】本発明は、その好ましい一実施の形態において、nチャネルトランジスタペアと、pチャネルトランジスタペアとを含み、それぞれのペアが接続切替手段により差動対とカレントミラー対とに切替自在とされており、ペアの一方が差動対となるときに、他方がカレントミラー対となる。nチャネル型、pチャネル型のそれぞれの導電型(極性)のトランジスタペアは、同一極性のトランジスタ対同士でソースが共通接続され、その共通接続ノード(節点)と電源間に、電流源とスイッチと

が並列に接続されている。上記差動回路を用いた増幅回路では、高電位側電圧駆動時には、nチャネル差動対入力、低電位側電圧駆動時には、pチャネル差動対入力となるように、前記接続切替手段の切替を制御する。

【0032】本発明に係る差動回路によれば、nチャネル差動対の差動回路と、pチャネル差動対の差動回路を切替えた場合でも、安定状態において、素子特性のばらつきによる、 V_{inP} と V_{inM} のずれの方向(プラス側、マイナス側)を同じにすることができる。そのため、本発明の差動回路を用いた増幅回路は、素子特性のばらつきによる出力オフセットの方向が同じになり、振幅差偏差を抑制することができる。またフルレンジ出力が可能であり、消費電力も小さい。振幅差偏差とは、多出力の液晶駆動回路の性能指標の1つであり、同一階調の正極性と負極性の電圧振幅差の各出力間の偏差を意味する。各出力間の振幅差偏差が小さいほど高画質となる。

【0033】本発明に係る差動回路は、好ましくは、ソースが共通接続されたp型の第1、第2のトランジスタ(101、102)と、ドレインがpチャネル型のトランジスタ対のドレインにそれぞれ接続され、ソースが共通接続されたnチャネル型の第3、第4のトランジスタ(103、104)を備え、第1、第2のトランジスタ(101、102)の共通接続されたソースと第1の電源(VDD)との間に、第1のスイッチ(111)と第1の電流源(105)とが並列に接続され、第3、第4のトランジスタの共通接続されたソースと第2の電源(VSS)との間に、第2のスイッチ(120)と第2の電流源(106)とが並列に接続されている。第1、第2のトランジスタ(101、102)のそれぞれのゲートの間には、直列形態に接続された第3、第4のスイッチ(112、113)を備え、第3、第4のトランジスタ(103、104)のそれぞれのゲートの間には、直列形態に接続された第5、第6のスイッチ(118、119)を備えている。第1のトランジスタ(101)のゲートと第3のスイッチ(112)の接続節点と第1の入力端子(1)との間には第7のスイッチ(114)を備えている。第2のトランジスタ(102)のゲートと第4のスイッチ(113)との接続節点と第2の入力端子(2)との間には第8のスイッチ(115)を備えている。第3のトランジスタ(103)のゲートと第5のスイッチ(118)の接続節点と第1の入力端子(1)の間には第9のスイッチ(116)を備えている。第4のトランジスタ(104)のゲートと第6のスイッチ(119)の接続節点と第2の入力端子(2)の間には第10のスイッチ(117)を備えている。そして、第3と第4のスイッチ(112、113)の接続節点と第5と第6のスイッチ(118、119)の接続節点とが接続され、これらの共通接続節点は、第2と第4のトランジスタ(102、104)のドレインの接続節

点に接続されている。そして、第1のトランジスタのドレインと第3のトランジスタ(103)のドレインの接続節点は、出力端子に接続されている。

【0034】本発明に係る差動回路において、第1、第3、第4、第9、及び第10のスイッチ(111、112、113、116、117)が導通状態とされ、第2、第5、第6、第7、及び第8のスイッチ(120、118、119、114、115)が非導通状態とされる第1の接続状態と、第1、第3、第4、第9、及び第10のスイッチ(111、112、113、116、117)が非導通状態とされ、前記第2、第5、第6、第7、及び第8のスイッチ(120、118、119、114、115)が導通状態とされる第2の接続状態とに切替制御される。

【0035】本発明に係る差動回路において、図4を参照すると、第1、第3、第4のスイッチ(111、112、113)は、第1の制御信号の反転信号(S1B)をゲートに入力する第1導電型のトランジスタよりなり、第2、第5、第6のスイッチ(120、118、119)は、第2の制御信号(S2)をゲートに入力とする第1導電型のトランジスタよりなり、前記第7、第8のスイッチ(114、115)が第2の制御信号(S2)とその反転信号(S2B)とをゲートにそれぞれ入力とするCMOSトランスファゲートよりなり、第9、第10のスイッチ(16、117)が第1の制御信号(S1)とその反転信号(S1B)とをゲートにそれぞれ入力とするCMOSトランスファゲートよりなる。

【0036】本発明に係る増幅回路(駆動回路)は、図5を参照すると、差動回路の出力(3)に基づき出力端子(2)の充電作用を行う充電用増幅段(510)と、前記差動回路の出力(2)に基づき出力端子(2)の放電作用を行う放電用増幅段(520)と、を備え、差動回路には、出力端子電圧Voutがその反転入力端子に帰還入力される。

【0037】本発明に係る増幅回路(駆動回路)は、その好ましい一実施の形態において、図8を参照すると、充電用増幅段(210)は、前記差動回路の出力信号(3)をゲートに受け、ドレインが出力端子(2)に接続された第5のトランジスタ(211)を備え、第5のトランジスタのソースと高位側電源(VDD)間にスイッチ(213)を備え、第5のトランジスタ(211)のドレインと低位側電源(VSS)間に、直列に接続されたスイッチ(214)と電流源(212)を備えている。放電用増幅段(220)は、前記差動回路の出力信号(3)をゲートに受け、ドレインが出力端子(2)に接続された第6のトランジスタ(221)を備え、第6のトランジスタ(221)のソースと低位側電源(VSS)間にスイッチ(223)を備え、第6のトランジスタ(221)のドレインと高位側電源VDD間に、直列に接続されたスイッチ(224)と電流源(222)を

備えている。高位側電源(VDD)とトランジスタ(211)のゲート間に、リセット用のスイッチ(531)が接続されている。低位側電源(VSS)とトランジスタ(221)のゲート間にも、リセット用のスイッチ(541)が接続されている。リセット用のスイッチ(531)がオンされる期間、トランジスタ(211)のゲート電圧(差動回路の出力信号)は、高位側電源電圧VDDにリセットとされ、トランジスタ(211)をオフ状態とし、その間、充電用増幅段(210)を非活性とする。リセット用のスイッチ(541)がオンされる期間、トランジスタ(221)のゲート電圧(差動回路の出力信号)は低位側電源電圧VSSにリセットされ、トランジスタ(221)をオフ状態とし、その間、放電用増幅段(220)を非活性とする。

【0038】本発明に係る増幅回路(駆動回路)は、その好ましい一実施の形態において、図10を参照すると、差動回路は、入力端子電圧と出力端子電圧とを差動入力し、この差動回路の出力に基づき前記出力端子の充電作用を行う充電回路(311)と、前記入力端子電圧を受けて出力バイアス電圧を制御する第1のバイアス制御手段(トランジスタ411、電流源414)と、前記出力端子と低位側電源(VSS)との間に接続され、前記第1のバイアス制御手段から出力されるバイアス電圧を入力とするフォロワトランジスタ(412)と、を備え、前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の放電作用を行うフォロワ型放電回路(410)と、前記差動回路の出力に基づき前記出力端子の放電作用を行う放電回路(321)と、前記入力端子電圧を受けて出力バイアス電圧を制御する第2のバイアス制御手段(421、電流源424)と、高位側電源と前記出力端子との間に接続され、前記第2のバイアス制御手段のバイアス電圧を入力とするフォロワトランジスタ(422)と、を備え、前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の充電作用を行うフォロワ型充電回路(420)と、を備えている。

【0039】より詳細には、本発明に係る増幅回路(駆動回路)は、その好ましい一実施の形態において、図10を参照すると、高位側電源VDDと前記出力端子(2)との間に接続され、前記差動回路の出力信号(3)をゲートに入力とする第7のトランジスタ(311)を含む充電回路と、出力端子(2)と低位側電源(VSS)間に接続されるフォロワ構成の第8のトランジスタ(412)と、入力端子(1)と低位側電源(VSS)間に挿入され、定電流源(414)で駆動され、ゲートが前記フォロワ構成のトランジスタ(412)のゲートに接続されるダイオード接続された第9のトランジスタ(411)と、を有するフォロワ型放電回路(410)を備えている。さらに、低位側電源(VSS)と

前記出力端子(2)との間に接続され、前記差動回路の出力信号(3)をゲートに入力する第10のトランジスタ(321)を含む放電回路と、出力端子(2)と高位側電源(VDD)間に接続されるフォロワ構成の第11のトランジスタ(422)と、高位側電源と入力端子(1)間に挿入され、定電流源(424)で駆動され、ゲートが前記フォロワ構成の第11のトランジスタ(422)のゲートに接続されるダイオード接続された第12のトランジスタ(421)と、を有するフォロワ型充電回路(420)と、を備えている。充電回路(311)と放電回路(321)の少なくとも一方は非活性に制御するとともに、前記フォロワ型放電回路(410)、及び前記フォロワ型充電回路(420)の活性化と非活性化をそれぞれ制御する制御手段と、を備えている。

【0040】さらに、第7のトランジスタ(311)と高位側電源(VDD)の間にスイッチ(532)を備え、フォロワ構成の第8のトランジスタ(412)と低位側電源間にスイッチ(553)を備え、第9のトランジスタ(411)と低位側電源間に、定電流源(414)と直列に接続されるスイッチ(552)を備え、第9のトランジスタ(411)と高位側電源間に、スイッチ(551)と定電流源(413)を備えている。さらに、第10のトランジスタ(321)と低位側電源(VSS)の間にスイッチ(542)を備え、フォロワ構成の第11のトランジスタ(422)と高位側電源(VDD)間にスイッチ(563)を備え、第12のトランジスタ(421)と高位側電源(VDD)間に、定電流源(424)と直列に接続されるスイッチ(562)を備え、第12のトランジスタ(421)と低位側電源(VSS)間に、スイッチ(561)と定電流源(423)を備えている。また第7のトランジスタ(311)のゲートと高位側電源(VDD)の間に前記差動回路の出力信号(3)をリセットするスイッチ(531)を備えている。そして、第10のトランジスタ(321)のゲートと低位側電源(VSS)の間にも、前記差動回路の出力信号(3)をリセットするスイッチ(542)を備えている。

【0041】本発明に係る表示回路は、図14を参照すると、充電用と放電用の増幅段を備えた上記増幅回路を、例えばデータ線を駆動する出力回路(100)として備えている。

【0042】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明の第1の実施例の構成を示す図である。

【0043】図1を参照すると、この実施例に係る差動回路は、pチャネルトランジスタ対101、102と、nチャネルトランジスタ対103、104を備え、pチャネルトランジスタ対101、102のソースは共通接続され、その共通接続点(節点)と高位側電源VDDとの間には、スイッチ111と定電流源105とが並列に接続されており、pチャネルトランジスタ対101、102のゲート間に直列に接続されたスイッチ112、113を備え、pチャネルトランジスタ対101、102のドレインとnチャネルトランジスタ対103、104のドレインとが互いに接続されている。

【0044】nチャネルトランジスタ対103、104のソースは共通接続され、その共通接続点と低位側電源VSSとの間には、スイッチ120と定電流源106とが並列に接続されて、nチャネルトランジスタ対103、104のゲート間に直列に接続されたスイッチ118、119を備えている。さらに、スイッチ112とpチャネルトランジスタ101のゲートとの接続点と、スイッチ118とnチャネルトランジスタ103のゲートとの接続点との間には直列に接続されたスイッチ114と116を備えている。スイッチ113とpチャネルトランジスタ102のゲートとの接続点と、スイッチ119とnチャネルトランジスタ104のゲートとの接続点との間には直列に接続されたスイッチ115と117を備えている。スイッチ113と112の接続点は、スイッチ118と119の接続点と接続され、さらに、pチャネルトランジスタ102のドレインとnチャネルトランジスタ104のドレインの接続点に接続されている。スイッチ114とスイッチ116の接続点と、スイッチ115とスイッチ117の接続点に、差動入力端子VinP、VinMがそれぞれ接続され、pチャネルトランジスタ101のドレインとnチャネルトランジスタ103のドレインの接続点が出来端子dfoutに接続されている。

【0045】このように、この実施例に係る差動回路は、pチャネルトランジスタ対101、102と、nチャネルトランジスタ対103、104と、接続切替手段(スイッチ111~120)を含み、一方のトランジスタ対が2つの入力電圧VinP、VinMとを差動入力する差動対となり、他方のトランジスタ対が前記差動対の出力対に輸入端と出力端がそれぞれ接続され負荷をなすカレントミラー回路となる構成をなし、接続切替手段により、前記差動対と前記カレントミラー回路の導電型が切替わる。pチャネル型とnチャネル型のトランジスタ対のそれぞれのトランジスタ対が、接続切替手段により、差動対とカレントミラー対とに切替ることが可能であり、一方が差動対となるとときに、他方はカレントミラー回路となる。

【0046】図2は、この実施例に係る差動回路において、接続切替手段をなす図1の各スイッチの制御の仕方を説明するための図である。図2には、接続切替手段による2つの接続状態(接続切替1、接続切替2)が示されている。

【0047】接続切替1では、スイッチ111、112、113、116、117をオンとし、スイッチ114、115、118、119、120をオフとする。

【0048】このとき、nチャネルトランジスタ対103、104は、共通接続されたソースが電流源106に接続されて駆動され、2つの入力電圧 V_{inP} 、 V_{inM} とをゲートから差動入力する差動対となり、pチャネルトランジスタ対101、102は、ゲートが共通接続され、トランジスタ102のドレインとゲートが接続され（ダイオード接続されたトランジスタ102はカレントミラーの電流入力側をなす）、差動対の出力対に、入力端と出力端とがそれぞれ接続されて負荷をなすカレントミラー回路となり、差動回路に流れる電流は、電流源106によって制御される。

【0049】一方、接続切替2では、スイッチ111、112、113、116、117をオフとし、スイッチ114、115、118、119、120をオンとする。このときpチャネルトランジスタ対101、102が、2つの入力電圧 V_{inP} 、 V_{inM} とを差動入力する差動対となり、nチャネルトランジスタ対103、104が差動対の出力対に入力端と出力端がそれぞれ接続され負荷をなすカレントミラー回路となり、差動回路に流れる電流は電流源105によって制御される。

【0050】なお差動回路の出力信号は、トランジスタ101のドレインとトランジスタ103のドレインの共通接続点より取り出され、接続切替1と接続切替2の接続状態に対して共通である。また差動回路は、差動対の少なくとも一方のトランジスタがオフする差動入力電圧に対して非活性となるので、安定状態における差動回路が非活性とならないように接続切替1、2を制御するのが好ましい。具体的には接続切替1では、nチャネルトランジスタ対103、104が差動対となるため、低位電源 V_{SS} からnチャネルトランジスタ対103、104の閾値電圧分だけ高い電圧を下限としてそれより高電位側の差動入力電圧（ V_{inP} 、 V_{inM} ）に対して動作させるように制御する。接続切替2では、pチャネルトランジスタ対101、102が差動対となるため、高位電源 V_{DD} からpチャネルトランジスタ対103、104の閾値電圧分だけ低い電圧を上限としてそれより低電位側の差動入力電圧（ V_{inP} 、 V_{inM} ）に対して動作させるように制御する。さらに接続切替電圧 V_m を設ける場合は、 V_m を上記上限と下限の間の電圧に設定し、 V_m 以上の高電位側の差動入力電圧に対して接続切替1の状態とし、 V_m 未満の低電位側の差動入力電圧に対して接続切替1の状態となるように切替制御する。

【0051】図3（A）、図3（B）は、図2の接続切替1、2における、図1の等価回路（差動回路の出力端子は省略）である。本発明の差動回路の作用を説明する。なお、トランジスタ対101、102および103、104はそれぞれ同極性同士でトランジスタ特性が

等しいものとする。また入力電圧 V_{inP} は、差動対が動作可能な所定の電圧とし、入力電圧 V_{inM} は電位変動が容易な電圧とする。このとき、図3（A）、図3（B）では、カレントミラー回路により等しいドレイン電流が差動対トランジスタに流れ、差動対トランジスタのゲート・ソース間電圧が等しい状態で安定するため、安定状態では $V_{inP} = V_{inM}$ となる。

【0052】次に、本発明の一実施例において、製造プロセス等により、同一極性のトランジスタ対の特性が互いにずれた場合について説明する。ここでは、nチャネルトランジスタ103の特性が標準特性からずれた場合を例に説明する。

【0053】図3（C）、図3（D）は、差動対およびカレントミラー回路をなすトランジスタ101、102、103、104のそれぞれのゲート・ソース間電圧に対するオン動作領域のドレイン電流特性（ $I_{ds} - V_{gs}$ 特性）を示した図である。図3（C）、図3（D）において、実線は、標準特性、破線は、標準特性から閾値電圧が増加方向にずれたnチャネルトランジスタ103の特性を示している。

【0054】接続切替1では、図3（A）、図3（C）を参照すると、pチャネルトランジスタ101、102がカレントミラー回路を構成し、差動対をなすnチャネルトランジスタ103、104に等しいドレイン電流 I_{ds101} 、 I_{ds102} （ $I_{ds101} = I_{ds102}$ ）を供給する。

【0055】nMOS差動トランジスタ対103、104のゲート・ソース間電圧は、それぞれ、ドレイン電流 I_{ds101} 、 I_{ds102} によって決まる。図3（C）に示す例では、トランジスタ103のゲート・ソース間電圧 V_{gs103} の方がトランジスタ104のゲート・ソース間電圧 V_{gs104} よりも大きくなるような入力電圧 V_{inM} が与えられた状態が、安定状態となる。

【0056】このとき、nチャネルトランジスタ103、104のゲート・ソース間電圧の差が入力電圧 V_{inP} 、 V_{inM} の電圧差となり、以下の関係が成り立つ。

$$V_{inP} - V_{inM} = V_{gs103} - V_{gs104} > 0 \quad \dots (4)$$

【0057】一方、接続切替2では、図3（B）、図3（D）を参照すると、nチャネルトランジスタ103、104はカレントミラー回路を構成し、差動対をなすpチャネルトランジスタ101、102に異なるドレイン電流 I_{ds103} 、 I_{ds104} をそれぞれ供給する。pMOS差動トランジスタ対101、102のゲート・ソース間電圧（それぞれ負の値）は、それぞれドレイン電流 I_{ds103} 、 I_{ds104} によって決まる。図3（D）に示す例では、トランジスタ102のゲート・ソース間電圧 V_{gs102} の方がトランジスタ101のゲート・ソース間電圧 V_{gs101} よりも絶対値が大きく

なるような入力電圧 V_{inM} が与えられた状態が安定状態となる。このとき、pチャネルトランジスタ101、102のゲート・ソース間電圧の差が、入力電圧 V_{inP} 、 V_{inM} の電圧差となり、以下の関係が成り立つ。

$$V_{inP} - V_{inM} = V_{gs101} - V_{gs102} > 0 \quad \dots (5)$$

【0058】以上より、接続切替1、2の安定状態における入力電圧 V_{inP} 、 V_{inM} の電圧差 ($V_{inP} - V_{inM}$) は、ともに正となる。

【0059】これは、nチャネルトランジスタ103のトランジスタ特性のずれに対して、接続切替1、2における、($V_{inP} - V_{inM}$) のずれの方向が等しいことを示しており、接続切替による ($V_{inP} - V_{inM}$) のずれの偏差を小さく抑えることができる。

【0060】特に、トランジスタ101、102、103、104のそれぞれの極性のトランジスタサイズを同じドレイン電流に対する $I_{ds} - V_{gs}$ 特性曲線の傾き ($\Delta I_{ds} / \Delta V_{gs}$ の絶対値) が十分等しくなるように設定することで、すなわち極性間の $I_{ds} - V_{gs}$ 特性がほぼ線対称となるように設計することで、接続切替1、2それぞれの ($V_{inP} - V_{inM}$) のずれの大きさを十分等しくすることも可能である。

【0061】上述の説明では、nチャネルトランジスタ103の閾値電圧が増加方向にずれた場合 ($V_{tn} + \Delta V_{tn}$) を例に挙げて説明したが、トランジスタ101、102、103、104のいずれかの素子が標準特性からずれた場合であっても、接続切替1、2における ($V_{inP} - V_{inM}$) のずれの方向は等しくなり、接続切替を行っても、($V_{inP} - V_{inM}$) のずれの偏差を小さく抑えることができる。

【0062】すなわち、本発明の差動回路は、差動対およびカレントミラー回路を構成する4つのトランジスタのいずれかが標準特性からずれた場合でも、接続切替1、2における ($V_{inP} - V_{inM}$) のずれの方向は等しくなり、接続切替を行っても ($V_{inP} - V_{inM}$) のずれの偏差を小さく抑えることができる。

【0063】なお、上記したような接続切替ではなく、図3(A)、図3(B)と同じ構成の2つの差動回路を、別々に用意しておき、それぞれを切り替える場合には、差動対およびカレントミラー回路を構成するトランジスタが8個となる(図15の従来の回路を参照のこと)。かかる構成においては、トランジスタ特性のずれに対する2つの差動回路の ($V_{inP} - V_{inM}$) のずれの方向が異なる場合が生じ、2つの差動回路の切替による ($V_{inP} - V_{inM}$) のずれの偏差を小さく抑えることはできない。

【0064】図4は、本発明の第2の実施例の構成を示す図であり、図1の差動回路の各スイッチを、MOSトランジスタで構成した一例を示す図である。図4において、スイッチ制御信号 $S1$ 、 $S2$ は、ローレベル(L)またはハイレベル(H)で制御される。

【0065】そして ($S1$ 、 $S2$) = (H、L) と制御すると接続切替1の状態となり、($S1$ 、 $S2$) = (L、H) と制御すると接続切替2の状態となる。なお $S1B$ 、 $S2B$ はそれぞれ $S1$ 、 $S2$ の反転信号とする。

【0066】各スイッチは、接続、遮断が制御できれば、任意のスイッチであってよい。図4では、トランジスタ数が少なく(素子数を縮減)、省面積となり得る構成が示されている。まず、一端が高位側電源 VDD 、低位側電源 VSS と接続されるスイッチ111とスイッチ120は、それぞれ単体のpチャネルトランジスタおよびnチャネルトランジスタで構成することができる。

【0067】またスイッチ112、113も、単体のpチャネルトランジスタでそれぞれ構成してもよい。この理由は、スイッチ112、113がオン状態となるのが、接続切替1の状態であり、pチャネルトランジスタ101、102がカレントミラー回路を構成する場合である。そのときのpチャネルトランジスタ101、102のゲート電位は、高位側電源電圧 VDD に比較的近い一定の電位となるからである。例えば、電流源106の電流値を小さく設定した場合の接続切替1の状態におけるpチャネルトランジスタ101、102のゲートと高位側電源端子 VDD との電位差は、pチャネルトランジスタ101、102の閾値電圧にかなり近い電圧となり、pチャネルトランジスタ101、102のゲート電位は、電源電圧範囲に対して十分高位電源電圧 VDD に近いといえる。したがって、スイッチ112、113を、単体のpチャネルトランジスタで構成し、それぞれのゲートに低位側電源電圧 VSS を与えてオンとし、高位側電源電圧 VDD を与えてオフとすれば十分スイッチとして機能させることができる。

【0068】同様にして、スイッチ118、119も単体のnチャネルトランジスタでそれぞれ構成してもよい。スイッチ118、119がオン状態となるのが、接続切替2の状態でnチャネルトランジスタ103、104がカレントミラー回路を構成する場合で、そのときのnチャネルトランジスタ103、104のゲート電位は低位側電源電圧 VSS に比較的近い一定の電位となるからである。

【0069】なお、図1のスイッチ114、115、116、117は、一端が入力端子1または2に接続されており入力電圧 V_{inP} 、 V_{inM} が任意の電圧で与えられる場合には、CMOSスイッチで構成される。

【0070】図4において、電流源105は、ソースが高位側電源 VDD に接続され、ゲートにバイアス電圧 $BIASP$ が入力され、ドレインが、トランジスタ101と102の共通ソースに接続されているpチャネルトランジスタよりなり、電流源106は、ソースが低位側電源 VSS に接続され、ゲートにバイアス電圧 $BIASN$ が入力され、ドレインが、トランジスタ103と104

の共通ソースに接続されている n チャンネルトランジスタよりなる。バイアス電圧 $B I A S P$ 、 $B I A S N$ は必要に応じてバイアスレベルを変化させてもよい。例えば差動回路を停止させる場合には、 $(S1, S2) = (L, L)$ としてトランジスタ 111、120 をオフさせるとともに、バイアス電圧 $B I A S P$ を高位側電源 $V D D$ に切替え電流源トランジスタ 105 を非活性化し、バイアス電圧 $B I A S N$ を低位側電源電圧 $V S S$ に切替え、電流源トランジスタ 106 を非活性化して差動回路内部の電流を完全に遮断して電力消費を抑制することもできる。

【0071】次に本発明の別の実施例について説明する。図5は、本発明の第3の実施例の構成を示す図である。図5には、図1の差動回路を用いて構成した駆動回路の構成が示されている。すなわち、図5において、トランジスタ 101、102、103、104、スイッチ 111～120、電流源 105、106 からなる差動回路は、図1に示したものと同一である。また図6は、図5の駆動回路の制御の仕方の一例を示す図である。

【0072】図5を参照すると、この駆動回路は、図1に示した差動回路の出力を受けて動作する2つの増幅段 510、520 を含む帰還型増幅回路である。図5において、差動回路の2つの入力端子（差動入力端子）には、入力電圧 V_{in} （図1では入力電圧 V_{inP} ）と出力電圧 V_{out} （図1では入力電圧 V_{inM} ）が入力される。

【0073】また増幅段 510 は、出力端子2を速やかに充電する充電用増幅段であり、増幅段 520 は、出力端子2を速やかに放電する放電用増幅段である。なお、充電用増幅段 510、放電用増幅段 520 の構成については、図8等を参照して、後に説明される。図6を参照して、図5の駆動回路の動作について説明する。

【0074】図6において、接続切替1の状態では差動回路のスイッチ 111、112、113、116、117 をオンとし、スイッチ 114、115、118、119、120 をオフとし、増幅段 510 を活性化（動作可能）、増幅段 520 を非活性化（停止）させる。

【0075】そして、出力端子電圧 V_{out} が所望の電圧より低電位のときに、入力端子電圧 V_{in} と出力端子電圧 V_{out} の電圧差に応じた差動回路の動作および増幅段 510 の充電作用により、出力端子電圧 V_{out} を所望の電圧まで上昇させることができる。

【0076】一方、接続切替2の状態では、差動回路のスイッチ 111、112、113、116、117 をオフとし、スイッチ 114、115、118、119、120 をオンとし、増幅段 510 を非活性化（停止）、増幅段 520 を活性化（動作可能と）する。

【0077】そして出力端子電圧 V_{out} が所望の電圧より高電位のときに、入力端子電圧 V_{in} と出力端子電圧 V_{out} の電圧差に応じた差動回路の動作および増幅

段 520 の放電作用により、出力端子電圧 V_{out} を所望の電圧まで低下させることができる。

【0078】なお、差動回路の出力が増幅段 210、220 に対して共通となっているため、増幅段 210、220 のそれぞれの動作開始時に、最適な差動回路の出力電圧が異なる場合には、接続切替1および接続切替2のそれぞれの状態の開始時に、差動回路の出力電圧をそれぞれの最適な電圧にリセットするリセット回路を設けてもよい。

【0079】また、図6では所望の電圧を駆動する1出力期間において、接続切替1または接続切替2のいずれかの状態で駆動する場合を示したが、この場合は、高位側電圧と低位側電圧を交互に駆動する応用例等に用いて好適とされる。任意の電圧を任意の順番で駆動する場合などでは、1出力期間の中で、接続切替1と接続切替2を切り替えて駆動してもよい。この場合、少なくとも高位側電圧の安定駆動時には接続切替1の状態とし、低位側電圧の安定駆動時には接続切替2の状態となるように制御する。

【0080】図5に示した駆動回路において、差動回路の p チャンネルトランジスタ対 101、102 および n チャンネルトランジスタ対 103、104 は、それぞれ同極性同土トランジスタ特性が等しく、接続切替1、2の各状態で、出力端子2に入力電圧 V_{in} と等しい電圧を V_{out} として出力することができるように構成すれば、このとき差動回路の2つの入力端子には、入力端子電圧 V_{in} （図1では入力電圧 V_{inP} ）と出力端子電圧 V_{out} （図1では入力電圧 V_{inM} ）が入力され、 $V_{in} = V_{out}$ が安定状態となる。

【0081】したがって、この場合、図3を参照して説明した事項が、図5に示した駆動回路にもそのまま当てはまり、製造プロセス等により差動回路の同極性トランジスタ対の特性がずれた場合でも、接続切替1、2における、 $(V_{in} - V_{out})$ のずれの方向は等しくなり、接続切替を行っても、 $(V_{in} - V_{out})$ のずれの偏差を小さく抑えることができる。

【0082】なお、トランジスタ特性のずれは、増幅段 510、520 においても生じる場合があるが、これによる影響は十分小さいため、差動回路のトランジスタ対の特性がずれた場合を考慮すれば、作用の説明として十分である。

【0083】一方、図15に示した駆動回路も、出力端子2に入力電圧 V_{in} と等しい電圧を V_{out} として出力することができるボルテージフォロワ回路であるが、ボルテージフォロワ回路 901、902 がそれぞれ差動回路を個別に含んで構成されているため、ボルテージフォロワ回路 901、902 を切り替えて駆動した場合、トランジスタ特性のずれに対する $(V_{in} - V_{out})$ のずれの方向は任意であり、その偏差を小さく抑えることができない。

【0084】すなわち、図5の駆動回路は、図15の駆動回路よりもトランジスタ特性のずれに対する（ $V_{in}-V_{out}$ ）のずれの偏差を小さく抑えることができる。特に液晶表示装置の階調電圧の増幅用アンプなどは、液晶の特性に合わせて設けられた階調レベルの電圧間隔を保つことが階調表示を行うために重要である。そのため、このような増幅用アンプ（駆動回路）は、出力オフセットが階調によってあまり変化しない、すなわち出力オフセットの階調間の偏差が十分小さいことが求められている。

【0085】その点で、図5に示した駆動回路は、トランジスタ特性のずれに対する、（ $V_{in}-V_{out}$ ）のずれの偏差を小さく抑えることができ、液晶表示装置の階調電圧の増幅用アンプなどに好適である。

【0086】図7は、図5の駆動回路の動作を説明するための図であり、基準レベルに対して高電位側の高位レベル V_{L1} と低電位側の低位レベル V_{L2} を、図5の駆動回路で駆動した場合の期待値とオフセットを含む出力値を示した図である。図5の駆動回路のトランジスタ特性のずれに対する（ $V_{in}-V_{out}$ ）のずれの偏差について、図7を参照して、詳しく説明する。

【0087】図7において、期待値はトランジスタ特性のずれがない場合で、 $V_{out}=V_{in}$ であり、オフセットを含む出力値は、トランジスタ特性のずれがある場合の V_{out} である。

【0088】接続切替1、2の切り替えによるずれの偏差を評価するため、高位レベル V_{L1} は、図5の駆動回路を接続切替1の状態に駆動し、低位レベル V_{L2} は接

$$|2 \times (\Delta V_{L1} - \Delta V_{L2})| \leq \{2 \times (\Delta V_{L1} + \Delta V_{L2})\}$$

…(9)

【0095】したがって、図5の駆動回路は、図15の駆動回路よりも、トランジスタ特性のずれに対する（ $V_{in}-V_{out}$ ）のずれの偏差を小さく抑えることができることがわかる。

【0096】また、接続切替1、2の各状態のオフセット ΔV_{L1} 、 ΔV_{L2} をできる限り等しくするため、PMOSトランジスタ101、102と、NMOSトランジスタ103、104の極性間の $I_{ds}-V_{gs}$ （ドレイン電流とゲート・ソース間電圧）特性がほぼ線対称となるように設計すれば、図5の駆動回路は、振幅差偏差を十分小さくすることが可能である。

【0097】さらに本発明の別の実施例について説明する。図8は、本発明の第4の実施例の構成を示す図である。図8には、図1の差動回路を用いて構成した駆動回路の構成が示されている。すなわち、図8において、トランジスタ101、102、103、104、スイッチ111～120、電流源105、106からなる差動回路は、図1に示したものと同一である。

【0098】充電用の増幅段210は、差動回路の出力信号3（トランジスタ101と103のドレインの接続

続切替2の状態に駆動するものとし、それぞれのオフセットは $\pm \Delta V_{L1}$ 、 $\pm \Delta V_{L2}$ とする。

【0089】階調レベルの電圧間隔が保たれるかは、2つの階調レベルの振幅差偏差が十分小さいかどうかによって判断することができる。

【0090】図5の駆動回路では、接続切替1、2における（ $V_{in}-V_{out}$ ）のずれの方向は等しいことから、図7における2つの電圧レベル V_{L1} 、 V_{L2} の振幅差偏差は、

$$\{(V_{L1} + \Delta V_{L1}) - (V_{L2} + \Delta V_{L2})\} \quad \dots (6)$$

または

$$\{(V_{L1} - \Delta V_{L1}) - (V_{L2} - \Delta V_{L2})\} \quad \dots (7)$$

となる。

【0091】したがって、振幅差偏差の最大値は、両者の差の絶対値をとって求められ、次式（8）で与えられる。

$$|2 \times (\Delta V_{L1} - \Delta V_{L2})| \quad \dots (8)$$

【0092】すなわち、図5に示した駆動回路において、接続切替1と接続切替2を切り替えて駆動したときの振幅差偏差は、接続切替1、2の各状態において生じるオフセットの絶対値の差の2倍の偏差を取り得る場合があることを示している。

【0093】図16の説明における図15の駆動回路の振幅差偏差の最大値 $\{2 \times (\Delta V_{L1} + \Delta V_{L2})\}$ （式（3）参照）と比較すると、以下の関係は明らかである。

【0094】

点ノードの電圧）をゲートに受け、ドレインが出力端子2に接続されているpチャネルトランジスタ211と、トランジスタ211のソースと、高位側電源 V_{DD} との間に挿入されているスイッチ213と、トランジスタ211のドレインと、低位側電源 V_{SS} との間に、直列形態に接続されている、スイッチ214及び電流源212と、を備えている。出力端子2（トランジスタ211のドレイン出力）とトランジスタ211のゲート間には容量 C_1 が帰還接続されており、出力端子2の立ち上がり電圧波形の波形整形が行われる。そして、高位側電源 V_{DD} とトランジスタ211のゲートと間に挿入されたスイッチ531を有するリセット回路530を備えている。

【0099】放電用の増幅段220は、差動回路の出力信号をゲートに受け、ドレインが出力端子2に接続されているnチャネルトランジスタ221と、トランジスタ221のソースと、低位側電源 V_{SS} 間に挿入されているスイッチ223と、トランジスタ221のドレインと、高位側電源 V_{DD} との間に、直列形態に接続されている、スイッチ224及び電流源222を備えている。

出力端子2 (トランジスタ221のドレイン出力) とトランジスタ221のゲート間には容量C2が帰還接続されており、出力端子2の立ち下がり電圧波形の波形整形が行われる。そして、低位側電源VSSとトランジスタ21のゲートとの間に挿入されたスイッチ541を有するリセット回路540を備えている。

【0100】図8において、差動回路の出力端子3は増幅段210、220に接続され、差動回路の出力に応じて増幅段210、220が動作し、入力端子電圧V_{in}と等しい電圧を、出力端子2から出力電圧 (出力端子電圧) V_{out}として出力することができる。差動回路の2つの入力端子には入力端子電圧V_{in} (図1では入力電圧V_{inP}) と出力端子電圧V_{out} (図1では入力電圧V_{inM}) が入力され、帰還型増幅回路の構成となっている。

【0101】また差動回路の出力 (トランジスタ101と103のドレインの接続点) は、増幅段210と220とに対して共通とされている。そして、増幅段210、220を動作させる前に、差動回路の出力信号3をリセットするリセット回路530、540を設けている。

【0102】図9は、図8に示した第4の実施例の駆動回路における接続切替1の出力期間と接続切替2の出力期間の各スイッチ制御の実施例を示したものである。以下、図9を参照して、図8の駆動回路の動作について説明する。

【0103】接続切替1の出力期間では、差動回路のスイッチ111、112、113、116、117をオン、スイッチ114、115、118、119、120をオフとする。また出力期間の最初に、リセット回路530のスイッチ531をオンとして、差動回路の出力3を高位電源電圧VDDに十分短い時間 (「リセット期間」という) の間、プリチャージする。図9に、※1) で示すように、このリセット期間は、差動回路の出力3をリセットできるだけの時間でよい。この間、増幅段210は、非活性とされる。

【0104】そして、スイッチ531をオフとしてリセット期間を終了し、その後、スイッチ213、214をオンとして、増幅段210を活性化 (動作) させる。このとき、図8の駆動回路は、図16のボルテージフォロワ回路910 (スイッチ951、952、953がオンした状態) と等価となる。したがって、接続切替1の出力期間の駆動回路において、入力端子電圧V_{in}がV_{in}>V_{out}となると、差動回路の出力信号電圧が低下して、pチャネルトランジスタ211がオンとなり、高い充電能力で出力端子電圧V_{out}をV_{in}まで高速に引き上げることができる。

【0105】また、入力端子電圧V_{in}がV_{in}<V_{out}となると、差動回路の出力信号電圧が上昇して、pチャネルトランジスタ211がオフとなり、電流源21

2の放電作用より、出力端子電圧V_{out}をV_{in}まで引き下げる。

【0106】この実施例のリセット回路530は、接続切替1と接続切替2の接続状態の切替の前後での出力ノイズの発生を防ぐ作用効果がある。例えば、接続切替直前に、差動回路の出力電圧が低電位であった場合、接続切替直後に、入力端子電圧V_{in}に関係なく増幅段210のpチャネルトランジスタ211が瞬間的にオンとなるため、出力端子電圧V_{out}が変化して、出力ノイズが発生する場合がある。

【0107】しかしながら、この実施例においては、リセット回路530により、差動回路の出力3を、pチャネルトランジスタ211がオフ状態となるようにリセットすることで、このような出力ノイズを防ぐことができる。図8では、スイッチ531によってリセットを行う例を示したが、他の構成でもよいことは勿論である。差動回路のスイッチ111、112、113、116、117は、スイッチ213、214と同期してオンさせても構わない。

【0108】一方、接続切替2の出力期間では、差動回路のスイッチ111、112、113、116、117をオフ、スイッチ114、115、118、119、120をオンとする。また出力期間の最初に、リセット回路540のスイッチ541をオンとして、差動回路の出力3を、低位電源電圧VSSに十分短いリセット期間の間ディスチャージする。図9に、※1) で示すように、このリセット期間は、差動段の出力をリセットできるだけの時間でよい。この間、増幅段220は非活性とされる。

【0109】そして、スイッチ541をオフとしてリセット期間を終了し、その後、スイッチ223、224をオンとして、増幅段220を活性化 (動作) させる。このとき、図8の駆動回路は、図15のボルテージフォロワ回路920 (スイッチ951、952、953がオンした状態) と等価となる。

【0110】したがって、接続切替2の出力期間の図8の駆動回路において、入力端子電圧V_{in}がV_{in}<V_{out}となると、差動回路の出力信号電圧が上昇して、nチャネルトランジスタ221がオンとなり、高い放電能力で、V_{out}をV_{in}まで高速に引き下げることができる。

【0111】また、入力端子電圧V_{in}がV_{in}>V_{out}となると、差動回路の出力信号電圧が低下し、nチャネルトランジスタ221がオフとなり、電流源222の充電作用より、出力端子電圧V_{out}を入力端子電圧V_{in}まで引き上げる。

【0112】この実施例のリセット回路540は、接続切替前後の出力ノイズを防ぐ作用効果がある。例えば、接続切替直前に、差動回路の出力電圧が高電位であった場合、接続切替直後に、入力端子電圧V_{in}に関係な

く、増幅段220のnチャネルトランジスタ221が瞬間的にオンとなるため、 V_{out} が変化して出力ノイズが発生する場合がある。

【0113】しかしながら、この実施例では、リセット回路540により、差動回路の出力3を、nチャネルトランジスタ211がオフ状態となるようにリセットすることにより、このような出力ノイズを防ぐことができる。なお、図8ではスイッチ541でリセットを行う例を示したが、他の構成でもよいことは勿論である。差動回路のスイッチ114、115、118、119、120は、スイッチ223、224と同期してオンさせてもよい。

【0114】また図8の駆動回路は、図5の駆動回路と同様の出力特性を有し、製造プロセス等により差動回路のトランジスタ対の特性が標準特性からずれた場合であっても、接続切替1、2における($V_{in}-V_{out}$)のずれの方向は等しく、接続切替を行っても($V_{in}-V_{out}$)のずれの偏差を小さく抑えることが可能である。このため、この駆動回路は、液晶表示装置の階調電圧の増幅用アンプなどに好適である。

【0115】次に、本発明の第5の実施例について説明する。図10は、本発明の第5の実施例の構成を示す図であり、図5の駆動回路の別の回路構成を示す図である。図10において、増幅段310は、図8の増幅段210の電流源212とスイッチ214を、回路410に置き換え、増幅段320は、図8の増幅段220の電流源222とスイッチ224を、回路420に置き換えて構成したものであり、その他の構成は、図8と同じである。

【0116】図10を参照すると、差動回路は、入力端子1の電圧(入力端子電圧) V_{in} と出力端子2の電圧(出力端子電圧) V_{out} を差動入力する。

【0117】増幅段310は、高位側電源VDDと、出力端子2との間に接続され、前記差動回路の出力信号をゲートに入力とするpチャネルトランジスタ311(充電回路)と、出力端子2と、低位側電源VSSとの間に接続されるフォロワ構成のpチャネルトランジスタ412と、入力端子1と低位側電源VSS間に挿入され、定電流源414で駆動され、ゲートがフォロワ構成のトランジスタ412のゲートに接続されるダイオード接続されているpチャネルトランジスタ411と、を有するフォロワ型放電回路410と、を備えている。さらに、増幅段310は、トランジスタ412と低位側電源VSSとの間に挿入されたスイッチ553と、トランジスタ411と低位側電源VSSとの間に、定電流源414と直列に接続されるスイッチ552と、トランジスタ411と高位側電源VDDとの間に、直列形態に接続されているスイッチ441及び定電流源413と、を備えている。

【0118】増幅段320は、低位側電源VSSと出力

端子2との間に接続され、差動回路の出力信号をゲートに入力するnチャネルトランジスタ321(放電回路)と、出力端子2と高位側電源VDD間に接続されるフォロワ構成のnチャネルトランジスタ422と、高位側電源VDDと入力端子1間に挿入され、定電流源424で駆動され、ゲートがフォロワ構成のトランジスタ423のゲートに接続されるダイオード接続されているnチャネルトランジスタ421と、を有するフォロワ型充電回路420と、を備えている。増幅段320は、トランジスタ422と高位側電源VDD間に挿入されるスイッチ563と、トランジスタ421と高位側電源VDDとの間に、定電流源424と直列に接続されるスイッチ562と、トランジスタ421と低位側電源VSSとの間に、直列形態に接続されているスイッチ561及び定電流源423、を備えている。図10において、差動回路以外の構成、すなわち差動回路とともに帰還型充電回路を構成するトランジスタ311、差動回路とともに帰還型放電回路を構成するトランジスタ321、ソースフォロワ放電回路410、ソースフォロワ充電回路420については、文献(特願2000-402079に基づく優先権主張出願特願2001-373302、本願出願時未公開)にその詳細が記載されている。

【0119】図10においても、差動回路の出力端子3は、増幅段310、320に接続されており、差動回路の出力に応じて、増幅段310、320が動作し、出力端子2に、入力電圧 V_{in} と等しい電圧を V_{out} として出力することができる。

【0120】差動回路の2つの入力端子には、入力端子電圧 V_{in} (図1では入力電圧 V_{inP})と出力端子電圧 V_{out} (図1では入力電圧 V_{inM})が入力され、帰還型増幅回路の構成となっている。また差動回路の出力は増幅段310、320に対して共通となっており、増幅段310、320を動作させる前に、差動回路の出力をリセットするリセット回路530、540を設けている。

【0121】ソースフォロワ放電回路410は、ダイオード接続されソースに入力端子電圧 V_{in} を受けるpチャネルトランジスタ411と、ソースが出力端子2に接続され、ゲートがpチャネルトランジスタ411のゲートに接続され、ドレインがスイッチ553を介して低位側電源VSSに接続されたpチャネルトランジスタ412と、を含み、さらにpチャネルトランジスタ411のソースと高位側電源VDDとの間に、直列に接続されている電流源413及びスイッチ551と、pチャネルトランジスタ411のドレインと低位側電源VSSとの間に直列に接続されている電流源414及びスイッチ552と、を備え、構成されている。

【0122】ソースフォロワ放電回路410の動作について以下に簡単に説明する。なお、その詳細は、上記文献(特願2000-402079に基づく優先権主張出

願特願2001-373302)等が参照される。

【0123】ソースフォロワ放電回路410の動作は、スイッチ551、552、553で制御され、各スイッチがオンのとき動作可能となり、各スイッチがオフのとき動作は停止する。

【0124】ソースフォロワ放電回路410が動作可能な状態において、pチャネルトランジスタ411、412のトランジスタ特性が等しく、電流源413、414で制御される電流が等しい場合、トランジスタ411、412のゲート電圧は、入力端子電圧 V_{in} からゲート・ソース間電圧だけずれた電圧となる。このとき、 $V_{in} < V_{out}$ であると、pチャネルトランジスタ412のゲート・ソース間電圧は、閾値電圧よりも大きく、ソースフォロワ動作によるpチャネルトランジスタ412の放電作用により、出力端子電圧 V_{out} を引き下げる。

【0125】そして出力端子電圧 V_{out} の低下により、pチャネルトランジスタ412のゲート・ソース間電圧は小さくなり閾値電圧付近となるところで、放電作用は停止する。ここで、電流源413、414で制御される電流が十分小さい場合、pチャネルトランジスタ411のゲート・ソース間電圧も、閾値電圧付近となるため、pチャネルトランジスタ412のソースフォロワ動作により、出力端子電圧 V_{out} は入力端子電圧 V_{in} 付近まで引き下げられる。

【0126】また $V_{in} > V_{out}$ のときは、pチャネルトランジスタ412のゲート・ソース間電圧は、トランジスタがオフとなる値になるため、出力端子電圧 V_{out} の変動に寄与しない。

【0127】一方、ソースフォロワ充電回路420は、ダイオード接続され、ソースに入力端子電圧 V_{in} を受けるnチャネルトランジスタ421と、ソースが出力端子2に接続され、ゲートがnチャネルトランジスタ421のゲートに接続され、ドレインがスイッチ563を介して高位側電源VDDに接続されたnチャネルトランジスタ422と、を含み、さらにnチャネルトランジスタ421のソースと低位電源VSSとの間に直列に接続されている電流源423及びスイッチ561と、nチャネルトランジスタ421のドレインと高位電源VDDとの間に直列に接続されている電流源424及びスイッチ562を備えて構成されている。

【0128】ソースフォロワ充電回路420の動作について以下に簡単に説明する。ソースフォロワ充電回路420の動作はスイッチ561、562、563で制御され、各スイッチがオンのとき動作可能となり、各スイッチがオフのとき動作は停止する。

【0129】ソースフォロワ充電回路420が動作可能な状態において、nチャネルトランジスタ421、422のトランジスタ特性が等しく、電流源423、424で制御される電流が等しい場合、トランジスタ421、

422のゲート電圧は入力端子電圧 V_{in} からゲート・ソース間電圧だけずれた電圧となる。このとき、 $V_{in} > V_{out}$ であると、nチャネルトランジスタ422のゲート・ソース間電圧は閾値電圧よりも大きく、ソースフォロワ動作によるnチャネルトランジスタ422の充電作用により、出力端子電圧 V_{out} を引き上げる。

【0130】そして、出力端子電圧 V_{out} の電圧上昇により、nチャネルトランジスタ422のゲート・ソース間電圧は小さくなり、閾値電圧付近となるところで、充電作用は停止する。ここで、電流源423、424で制御される電流が十分小さい場合、nチャネルトランジスタ421のゲート・ソース間電圧も閾値電圧付近となるため、nチャネルトランジスタ422のソースフォロワ動作により、出力端子電圧 V_{out} は、入力端子電圧 V_{in} 付近まで引き上げられる。

【0131】また、 $V_{in} < V_{out}$ のときは、nチャネルトランジスタ422のゲート・ソース間電圧はトランジスタがオフとなる値になるため、出力端子電圧 V_{out} の変動に寄与しない。

【0132】図11は、図10に示した駆動回路における接続切替1の出力期間と接続切替2の出力期間の各スイッチ制御の一例を示したものである。以下、図11を参照して図10の駆動回路の作用を説明する。

【0133】まず接続切替1の出力期間では、差動回路のスイッチ111、112、113、116、117をオンとし、スイッチ114、115、118、119、120をオフとする。

【0134】また出力期間の最初に、リセット回路530のスイッチ531をオンとして、差動回路の出力3を、高位電源電圧VDDに十分短いリセット期間に、プリチャージする。

【0135】そして、スイッチ531をオフとして、リセット期間を終了し、その後、スイッチ532、551、552、553をオンとして、増幅段310を動作させる。ここで、入力端子電圧 V_{in} が、 $V_{in} > V_{out}$ であると、差動回路の出力3の電圧が低下して、pチャネルトランジスタ311がオンとなり、高い充電能力で、出力端子電圧 V_{out} を、入力端子電圧 V_{in} まで、高速に引き上げることができる。

【0136】また入力端子電圧 V_{in} が、 $V_{in} < V_{out}$ であると、差動回路の出力3の電圧が上昇して、pチャネルトランジスタ311がオフとなり、回路410の放電作用より、出力端子電圧 V_{out} を入力端子電圧 V_{in} まで引き下げる。

【0137】ソースフォロワ放電回路410は、ソースフォロワ放電作用をするため、入力端子電圧 V_{in} と出力端子電圧 V_{out} の電圧差が大きいほど、その放電能力は高く、出力端子電圧 V_{out} が入力端子電圧 V_{in} に近づくにつれて、その放電能力は低下する。

【0138】また、ソースフォロワ放電回路410のソ

ソースフォロワ放電作用は、 V_{in} と V_{out} の電圧差に応じて、遅延なく瞬時に動作する。このため、pチャネルトランジスタ311の高速充電作用が、帰還構成の応答遅延によりオーバーシュートを生じた場合でも、ソースフォロワ放電回路410は、速やかに、オーバーシュートを抑え、出力端子電圧 V_{out} を V_{in} で安定させる作用をもつ。

【0139】したがって、図10に示した駆動回路は、出力安定化のための位相補償容量を必要としない、もしくは、十分小さい位相補償容量を設けるだけで出力安定化を実現することもできる。

【0140】一方、接続切替2の出力期間では、差動回路のスイッチ111、112、113、116、117をオフ、スイッチ114、115、118、119、120をオンとする。また出力期間の最初に、リセット回路540のスイッチ541をオンとして、差動回路の出力3を低位電源電圧 V_{SS} に十分短いリセット期間の間ディスチャージする。

【0141】そして、スイッチ541をオフとしてリセット期間を終了し、その後、スイッチ542、561、562、563をオンとして、増幅段320を動作させる。

【0142】ここで、入力端子電圧 V_{in} が $V_{in} < V_{out}$ であると、差動回路の出力が上昇してnチャネルトランジスタ321がオンとなり、高い放電能力で、出力端子電圧 V_{out} を入力端子電圧 V_{in} まで、高速に引き下げることができる。

【0143】また入力端子電圧 V_{in} が $V_{in} > V_{out}$ であると、差動回路の出力が低下してnチャネルトランジスタ321がオフとなり、ソースフォロワ充電回路420の充電作用より、出力端子電圧 V_{out} を、入力端子電圧 V_{in} まで引き上げる。

【0144】ソースフォロワ充電回路420は、ソースフォロワ充電作用をするため、 V_{in} と V_{out} の電圧差が大きいほど充電能力は高く、 V_{out} が V_{in} に近づくにつれ充電能力は低下する。また、ソースフォロワ充電回路420のソースフォロワ充電作用は、 V_{in} と V_{out} の電圧差に応じて遅延なく瞬時に動作する。このため、nチャネルトランジスタ321の高速放電作用が、帰還構成の応答遅延によりアンダーシュートを生じた場合でも、ソースフォロワ充電回路420は、速やかにアンダーシュートを抑え、出力端子電圧 V_{out} を入力端子電圧 V_{in} で安定させる作用をもつ。

【0145】したがって、図10に示した駆動回路は、出力安定化のための位相補償容量を必要としない、もしくは十分小さい位相補償容量を設けるだけで出力安定化を実現することもできる。

【0146】このように、ボルテージフォロワ構成において、出力安定化のための位相補償容量を不要としていることは、本発明の主たる特徴の1つをなしている。そ

して、十分小さい位相補償容量は、専ら波形整形用等に用いられる。

【0147】なお、リセット回路530、540は、図8の駆動回路と同様の原理で接続切替前後の出力ノイズを防ぐ効果がある。また、差動回路のスイッチ111、112、113、116、117はスイッチ532、551、552、553と同期してオンさせても構わない。同様に差動回路のスイッチ114、115、118、119、120はスイッチ542、561、562、563と同期してオンさせても構わない。

【0148】また図10に示した駆動回路は、図5の駆動回路と同様の出力特性を有し、製造プロセス等により、差動回路のトランジスタ対の特性が標準特性からずれた場合でも、接続切替1、2における($V_{in} - V_{out}$)のずれの方向は等しく、接続切替を行っても、($V_{in} - V_{out}$)のずれの偏差を小さく抑えることが可能である。このため、図10に示した駆動回路は、液晶表示装置の階調電圧の増幅用アンプなどに好適である。

【0149】図12は、図10に示した駆動回路の変形例を示す図である。図12において、差動回路以外の構成については、文献(特願2000-402079に基づく優先権主張出願特願2001-373302)に、その詳細が記載されている。図12は、図10に示した構成よりも、素子数を減らしたものであり、図10の回路410を回路430に置き換え、図10の回路420を回路440に置き換えた構成で、他の構成は図10と同じである。

【0150】図12において、図10に示した素子と同じ作用をする素子の参照符号は同一としている。図12では、トランジスタ421のドレインとソースにドレインとソースがそれぞれ接続されたトランジスタ419と、トランジスタ411のソースとドレインにソースとドレインがそれぞれ接続された429が追加されており、それぞれのトランジスタ419、429のゲートには、所定のバイアス電圧 B_N 、 B_P を印加される。

【0151】図13は、図12の駆動回路における接続切替1の出力期間と接続切替2の出力期間の各スイッチ制御の例を示したものである。リセット回路530、540の制御および作用は図10、図11と同様であるので省略し、リセット期間終了後について説明する。接続切替1の出力期間では、リセット期間終了後スイッチ532、553をオンとしてpチャネルトランジスタ311と回路430を動作させる。このときバイアス電圧 B_N はトランジスタ419がオフするように制御し、バイアス電圧 B_P は高位電源 V_{DD} と入力端子1の間に電流源425で制御される電流が流れるように制御する。これにより回路430は図10の回路410と等価となる。一方、接続切替2の出力期間では、リセット期間終了後スイッチ542、563をオンとしてnチャネルト

ランジスタ321と回路440を動作させる。このときバイアス電圧BPはトランジスタ429がオフするように制御し、バイアス電圧BNは低位電源VSSと入力端子1の間に電流源415で制御される電流が流れるように制御する。これにより回路440は図10の回路420と等価となる。したがって、図12の駆動回路は、図10の駆動回路と同様の性能を有する。

【0152】以下では、図8、図10、図12に示した、リセット回路530、540について付言しておく。差動回路の出力3をリセットするリセット回路530、540は、図8、図10、図12に示したスイッチ531、541以外の構成であってもよい。図17は、図8に示した第4の実施例をなす増幅回路において、リセット回路530、540を別の構成とした一変形例を示す図である。なお、図17に示した回路構成において、リセット回路530、540以外の構成は、図8に示したものと同一である。

【0153】図17を参照すると、リセット回路530は、高位側電源VDDと、トランジスタ211のゲートと容量C1の一端との接続点との間に挿入されたスイッチ531と、トランジスタ211のゲートと容量C1の一端との接続点と、差動回路の出力端子3との間に挿入されたスイッチ533とを備えて構成されている。一方、リセット回路540は、低位側電源VSSとトランジスタ221のゲートと容量C2の一端との接続点との間に挿入されたスイッチ541と、トランジスタ221のゲートと容量C1の一端との接続点と差動回路の出力端子3との間に挿入されたスイッチ543とを備えて構成されている。スイッチ533、543は、スイッチ531、541のオン、オフの切替えによる充電と放電の切替え時に、差動回路の出力3をリセットし、充電と放電の切替え時に、出力端子電圧Voutの不要な電圧変動を防ぐ作用をもつ。

【0154】図18は、リセット回路の動作、作用について説明するためのタイミング図であり、図17のスイッチ111～120、213～214、531、533、541、543のオン・オフ制御の動作タイミングが示されている。このうち、差動回路のスイッチ111～120については、図9に示したものと同一の制御が行われるため、その説明を省略する。

【0155】図18を参照すると、接続切替1の状態では、スイッチ213、214、533、541をオンとし、スイッチ223、224、531、543をオフとする。これにより、増幅段210による充電動作が可能となる。このとき、増幅段220は非活性状態とされており、トランジスタ221のゲートおよび容量C2は低位側電源VSSに放電される。

【0156】一方、接続切替2の状態では、スイッチ213、214、533、541をオフとし、スイッチ223、224、531、543をオンとする。これによ

り、増幅段220による放電動作が可能となる。このとき、増幅段210は非活性状態とされており、トランジスタ211のゲートおよび容量C1は高位側電源VDDに充電される。

【0157】接続切替1の状態から接続切替2の状態に切り替わる時（スイッチ543がオンし、スイッチ541はオフする）、差動回路の出力端子3とトランジスタ221のゲートは、接続切替1のときに低位側電源VSSに放電されていた容量C2によって、一旦、低位側電源電圧VSS付近まで引き下げられ、その後、入力端子電圧Vinに応じた放電動作を開始する。したがって、増幅段220の動作は、接続切替2の状態への切替前の差動回路の出力端子3の電位に影響されず、非活性の状態から、速やかに動作を開始し、ノイズを発生することはない。

【0158】また、接続切替2の状態から接続切替1の状態に切り替わる時は（スイッチ533がオンし、スイッチ531はオフする）、差動回路の出力端子3とトランジスタ211のゲートは、接続切替2のときに高位側電源VDDに充電されていた容量C1によって、一旦、高位側電源電圧VDD付近まで引き上げられ、その後、入力端子電圧Vinに応じた充電動作を開始する。したがって、増幅段210の動作は、接続切替1への切替前の差動回路の出力端子3の電位に影響されず、非活性の状態から速やかに動作を開始し、ノイズを発生することはない。

【0159】また、図17のリセット回路530、540は、図18に示すように、リセット回路のスイッチの制御を、差動回路のスイッチの制御と同期して行うことができる。これにより、制御信号の数を削減することができる。

【0160】なお、スイッチ213とスイッチ531は、ともにトランジスタ211を非活性とする作用を行っているため、スイッチ213を取り去り、トランジスタ211のソースを高位側電源VDDに直接接続する構成としてもよい。同様に、スイッチ223とスイッチ541は、ともにトランジスタ221を非活性とする作用を行っているため、スイッチ223を取り去り、トランジスタ221のソースを低位側電源VSSに直接接続する構成としてもよい。

【0161】以上のように、図17のリセット回路530、540は、容量C1、C2を利用して、接続状態の切替の前後での出力ノイズの発生を防ぐ構成としている。そして、図10および図12に示した駆動回路についても、トランジスタ311、321のゲートに最適な容量をそれぞれ接続する場合などに、図17に示した回路と同様のリセット回路を適用することができる。あるいは波形整形用の容量を設けていない場合でも、トランジスタ211、221のサイズが大きく、ゲート容量がある程度大きい場合にも、図17と同様のリセット回路

を適用することができる。

【0162】図14は、本発明の第6の実施例を説明するための図であり、本発明の駆動回路で多出力の駆動回路を構成した例を示す図である。この実施例は、液晶表示装置の駆動回路として用いることができる。出力回路100としては、図5、図8、図10、図12等で説明した各実施例の駆動回路を用いることができる。制御信号は各駆動回路のスイッチを制御する。参照電圧 V_H と V_L 間に設けられた分圧抵抗のタップからアナログ階調電圧が出力され、デコード300と、出力端子群400と、出力段100と、を備えて構成される。抵抗ストリング200の各端子（タップ）から生成した複数の階調電圧の中から、各出力ごとに、映像デジタル信号に応じてデコード300で階調電圧を選択し、出力回路100で増幅して、出力端子400に接続されたデータ線を駆動する。出力回路100において、 n チャネル差動対の差動回路と、 p チャネル差動対の差動回路を切替えた場合でも、安定状態において、素子特性のばらつきによる、差動入力電圧のずれの方向を同じにすることができ、素子特性のばらつきによる出力オフセットの方向を同じとし、振幅差偏差を抑制することができ、これにより、表示画質を向上している。

【0163】なお、上記実施例で説明した差動回路、増幅回路（駆動回路）は、 MOS トランジスタで構成されており、液晶表示装置の駆動回路では、例えば多結晶シリコンからなる MOS トランジスタ（TFT）で構成してもよい。また、上記実施例で説明した差動回路は、バイポーラトランジスタにも適用できることは勿論である。この場合、高位側電源側の p チャネルトランジスタ101、102は、 pnp トランジスタよりなり、低位側電源側の n チャネルトランジスタ103、104は、 npn トランジスタよりなる。上記実施例では、集積回路に適用した例を示したが、2対のトランジスタ対を、差動対とカレントミラーとに切り替える回路構成は、ディスクリート素子構成にも適用できることは勿論である。

【0164】以上本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものではなく、本願特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0165】

【発明の効果】以上説明したように、本発明によれば、互いに極性の異なる差動回路を切替えた場合でも、安定状態において、素子特性のばらつきによる、差動入力電圧 V_{inP} と V_{inM} のずれの方向（プラス側、マイナス側）を同じとすることができ、このため、素子特性のばらつきによる出力オフセットの方向が同じとなり、振幅差偏差を抑制することができる、という効果を奏する。

【0166】また、本発明によれば、高位側電圧の駆動時には、 n チャネルトランジスタ対を差動対とし、 p チャネルトランジスタ対をカレントミラー回路とし、低位側電圧の駆動時には、 p チャネルトランジスタ対を差動対とし、 n チャネルトランジスタ対をカレントミラー回路とするように切替制御することにより、フルレンジ出力が可能である、という効果を奏する。

【0167】さらに本発明によれば、2対のトランジスタ対のうちの一対を差動対又はカレントミラーの一方、他の対を差動対又はカレントミラーの他方と切替える構成としたことより、回路規模を縮減し、低消費電力化を図ることができる、という効果を奏する。

【0168】さらに、本発明によれば、増幅回路の振幅差偏差の最大値を高電位側駆動時と低電位側駆動時の出力オフセットの差の絶対値の2倍程度に抑えている。かかる増幅回路を、表示装置のデータ線の駆動回路に用いることで、表示画質を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す図である。

【図2】本発明の第1の実施例の接続切替の制御を示す図である。

【図3】本発明の第1の実施例における接続切替1、2における回路接続及び動作を説明するための図である。

【図4】本発明の第2の実施例の構成を示す図である。

【図5】本発明の第3の実施例の構成を示す図である。

【図6】本発明の第3の実施例の接続切替の制御を示す図である。

【図7】本発明の第3の実施例の動作を説明するための図である。

【図8】本発明の第4の実施例の構成を示す図である。

【図9】本発明の第4の実施例のスイッチ制御を示すタイミングチャートである。

【図10】本発明の第5の実施例の構成を示す図である。

【図11】本発明の第5の実施例のスイッチ制御を示すタイミングチャートである。

【図12】本発明の第5の実施例の構成を示す図である。

【図13】本発明の第6の実施例のスイッチ制御を示すタイミングチャートである。

【図14】本発明の第6の実施例の構成を示す図である。

【図15】従来の差動回路の構成を示す図である。

【図16】従来の差動回路における振幅差偏差を説明するための図である。

【図17】本発明の第4の実施例の変形例を示す図である。

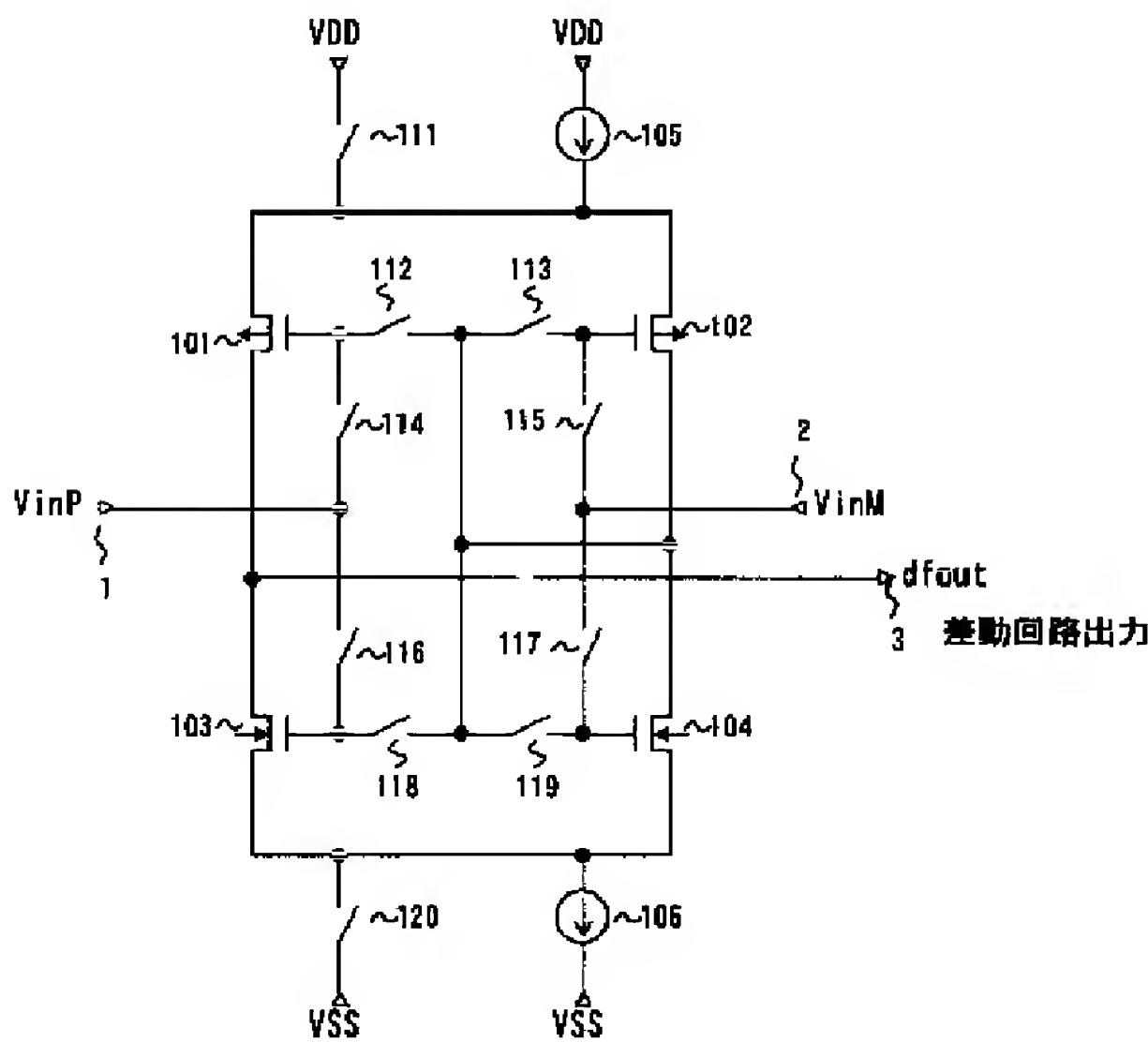
【図18】本発明の第4の実施例の変形例のスイッチ制御を示すタイミングチャートである。

【符号の説明】

- 1 入力端子
- 2 出力端子
- 3 差動回路の出力
- 100 出力回路
- 101、102、211、311、411、412、429、911、912、923、924 pチャネルトランジスタ
- 103、104、221、321、421、422、419、913、914、921、922 nチャネルトランジスタ
- 105、106、212、222、413、414、423、424、915、917、925、927 定電流源
- 111~120、213、214、223、224、531、532、543、541、542、543、551、552、553、561、562、563、95

- 1、952、953、961、962、963 スイッチ
- 200 抵抗
- 210 増幅段（充電用）
- 220 増幅段（放電用）
- 300 スイッチ
- 310 増幅段（充電用）
- 320 増幅段（放電用）
- 400 出力端子群
- 410、430 ソースフォロワ充電回路
- 420、440 ソースフォロワ放電回路
- 510 増幅段（充電用）
- 520 増幅段（放電用）
- 530、540 リセット回路
- 910、920 ボルテージフォロワ回路

【図1】



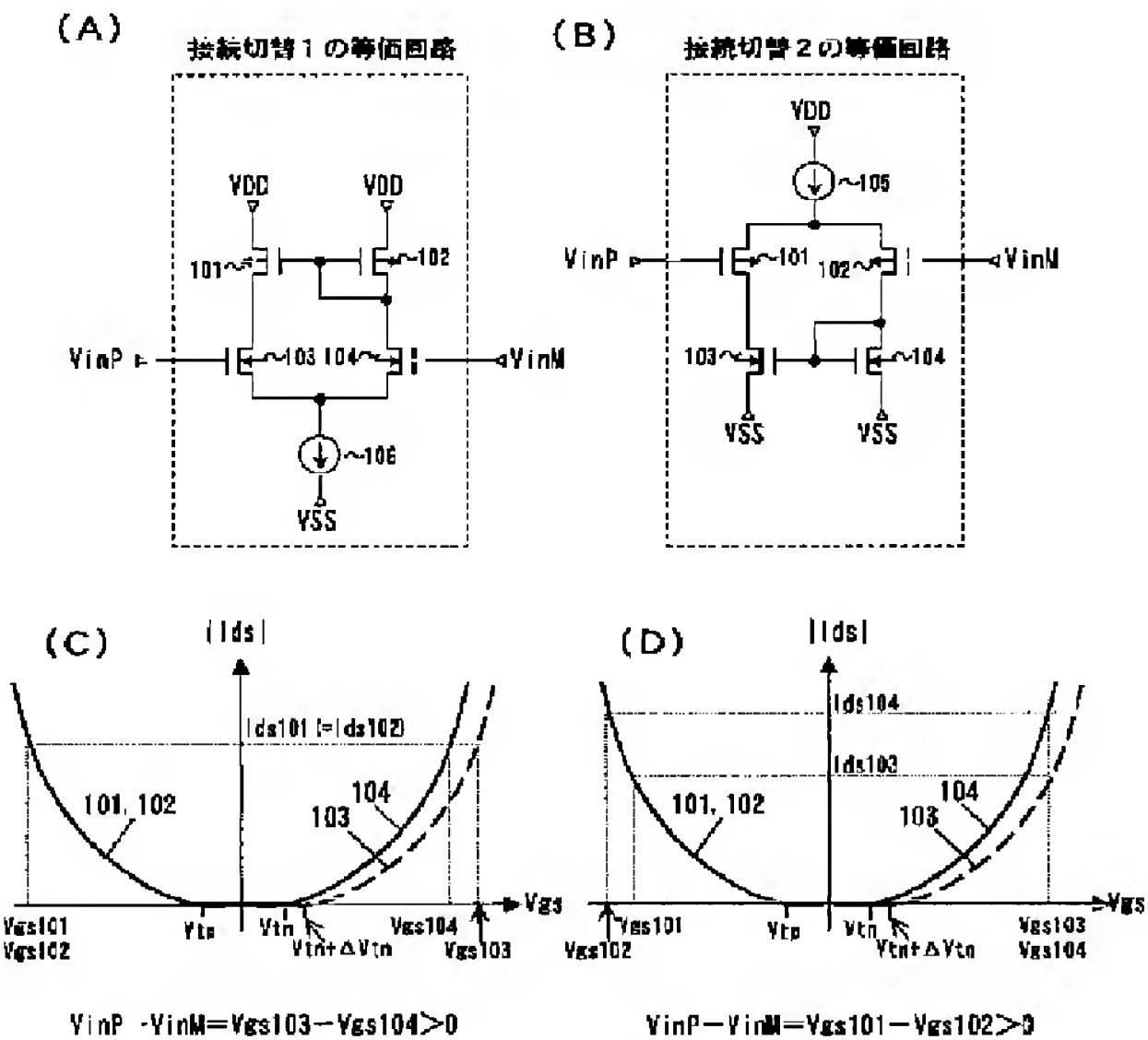
【図6】

	接続切替1	接続切替2
スイッチ111, 112, 113, 116, 117	オン	オフ
スイッチ114, 115, 118, 119, 120	オフ	オン
増幅段510	動作	停止
増幅段520	停止	動作

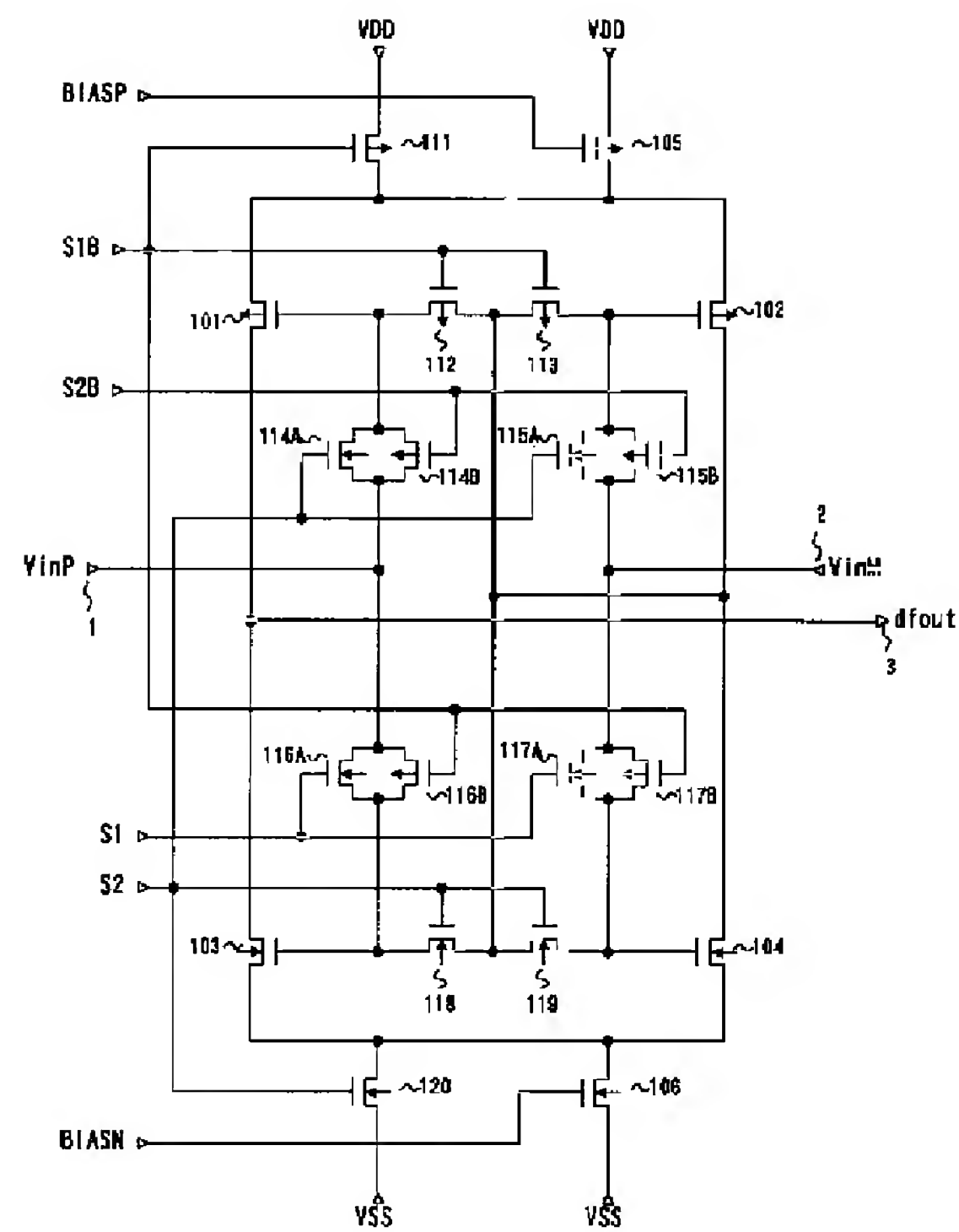
【図2】

	接続切替1	接続切替2
スイッチ111, 112, 113, 116, 117	オン	オフ
スイッチ114, 115, 118, 119, 120	オフ	オン

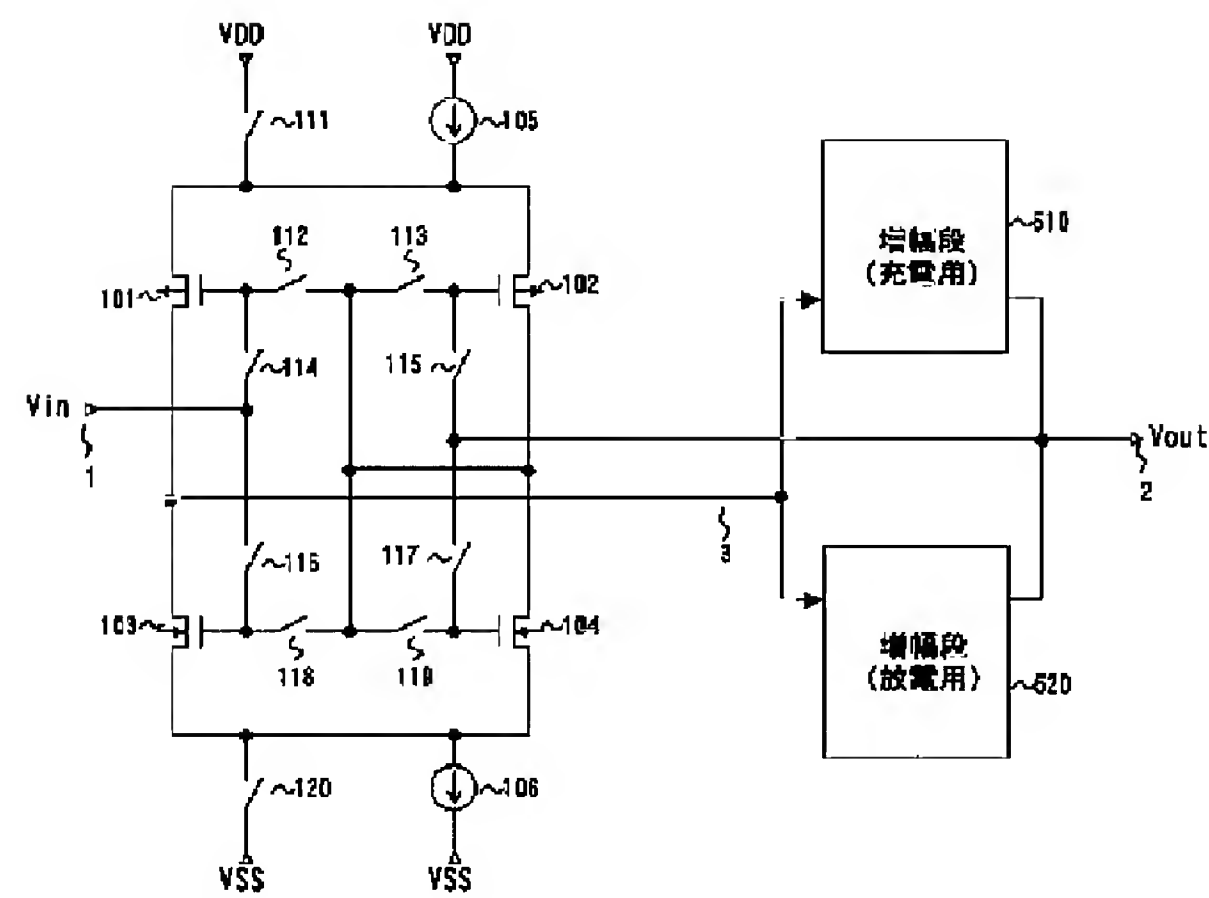
【図3】



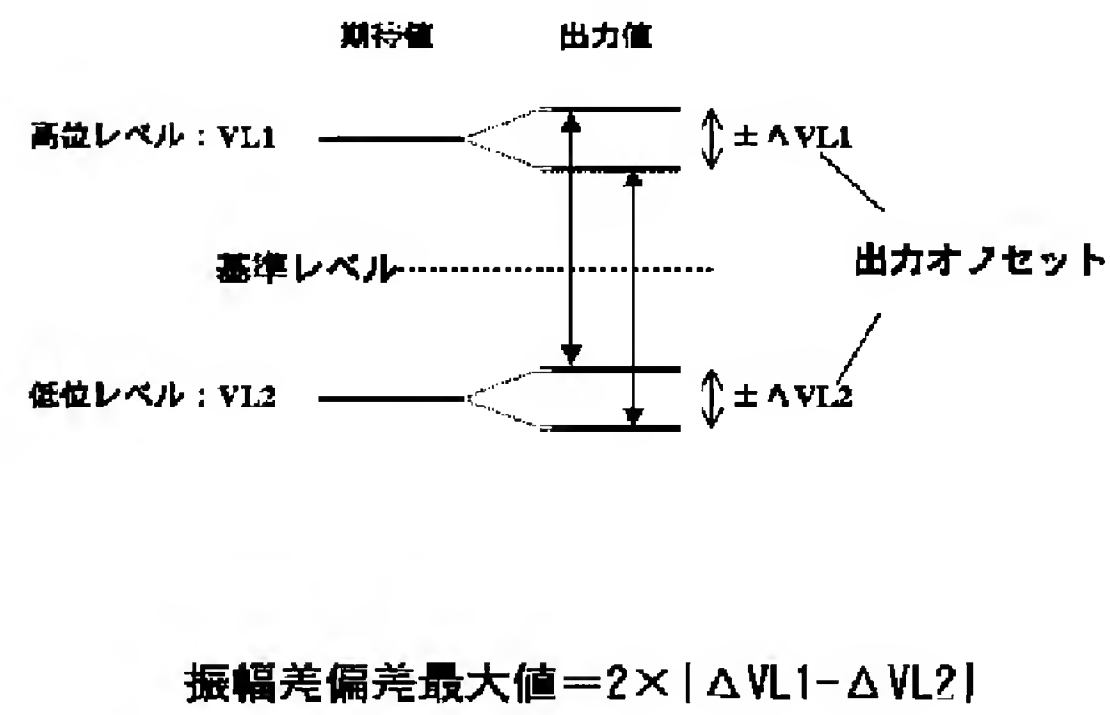
【図4】



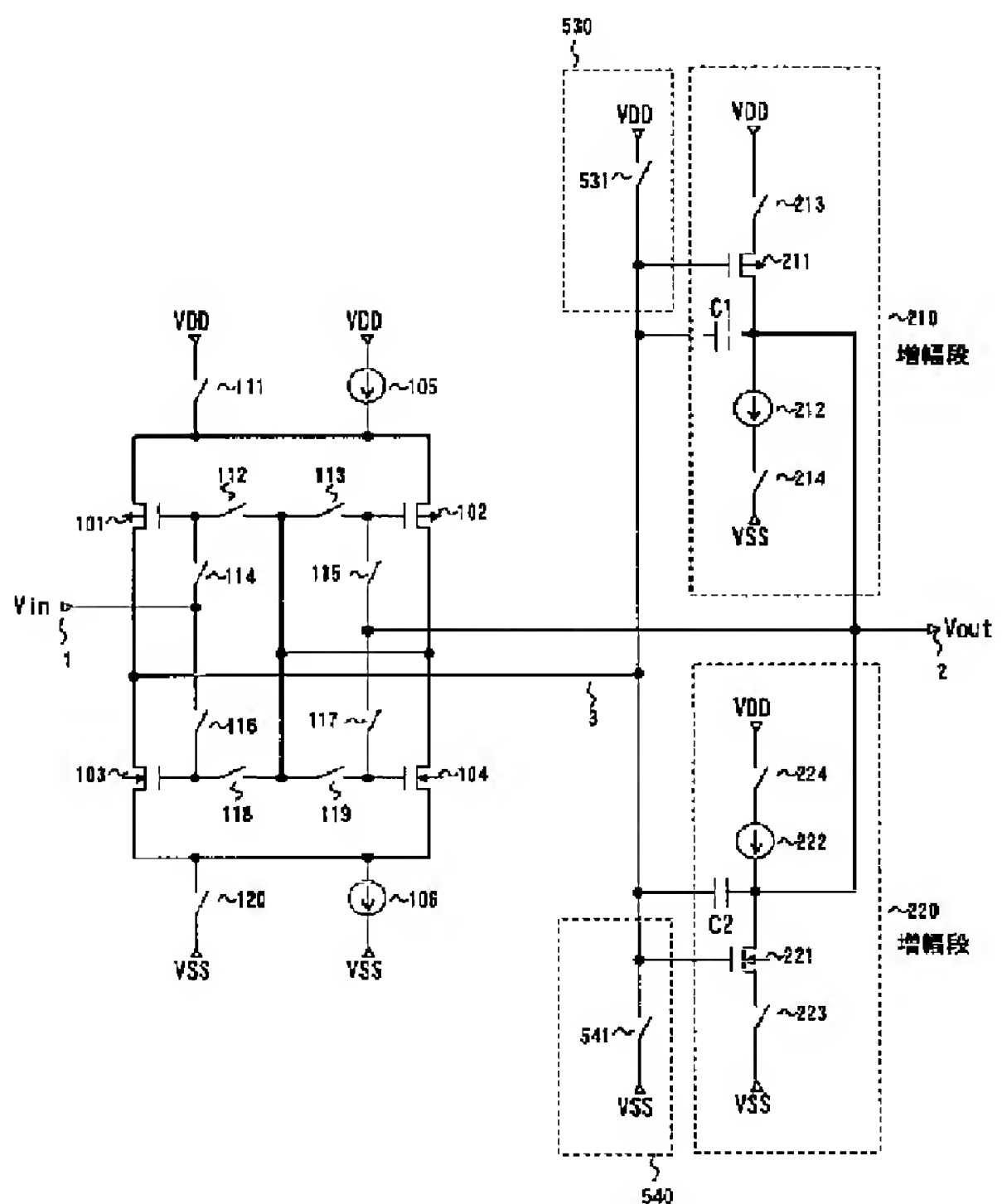
【図5】



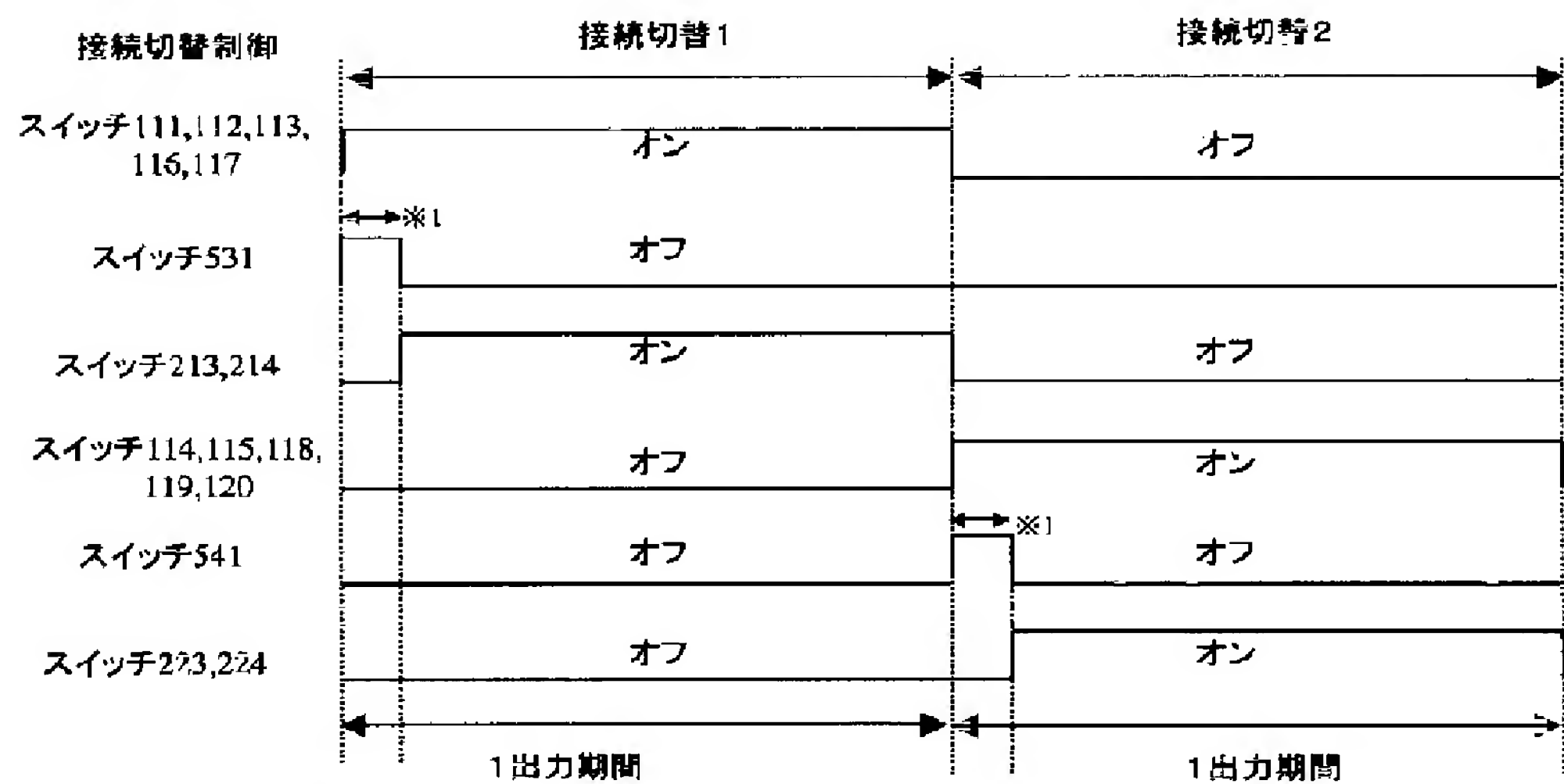
【図7】



【図8】

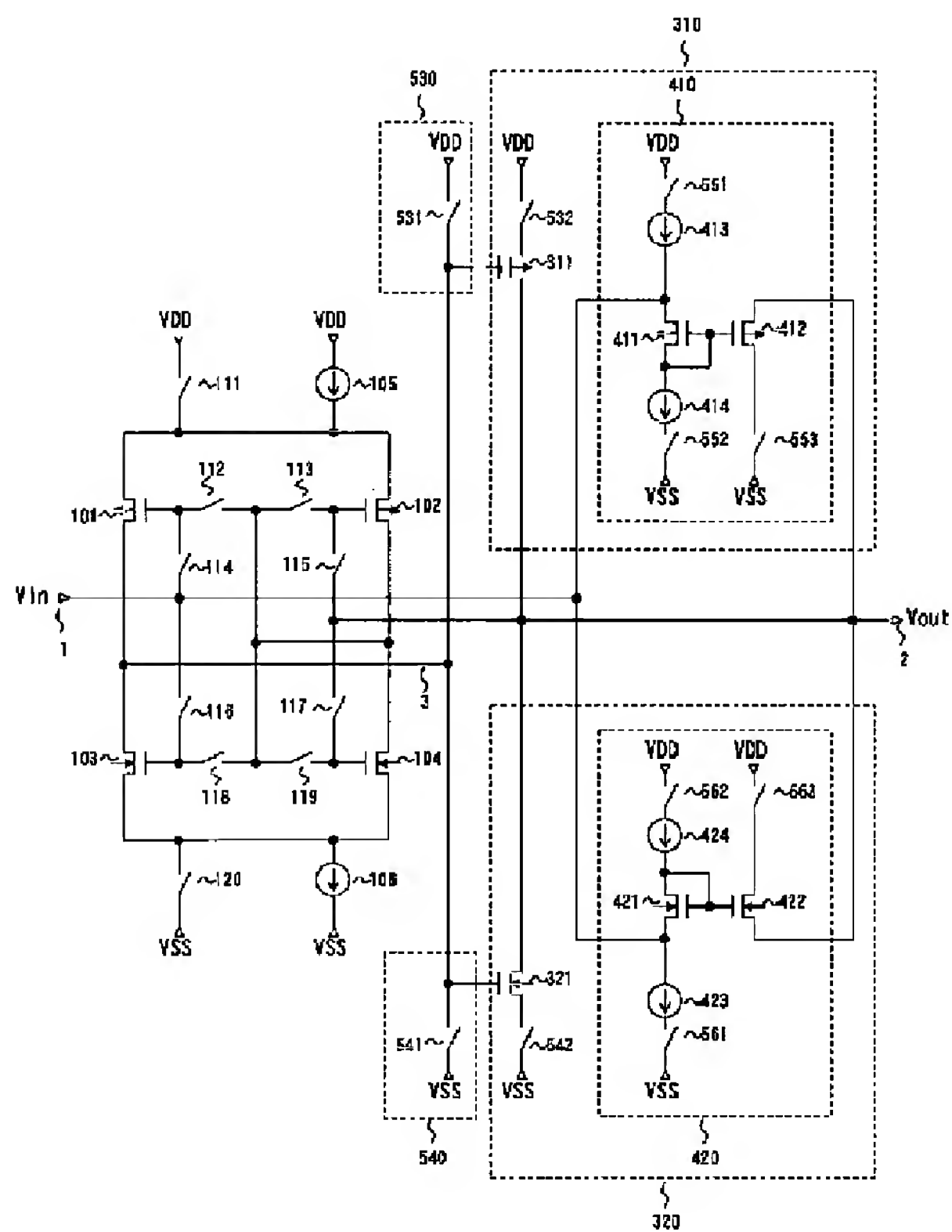


【図9】

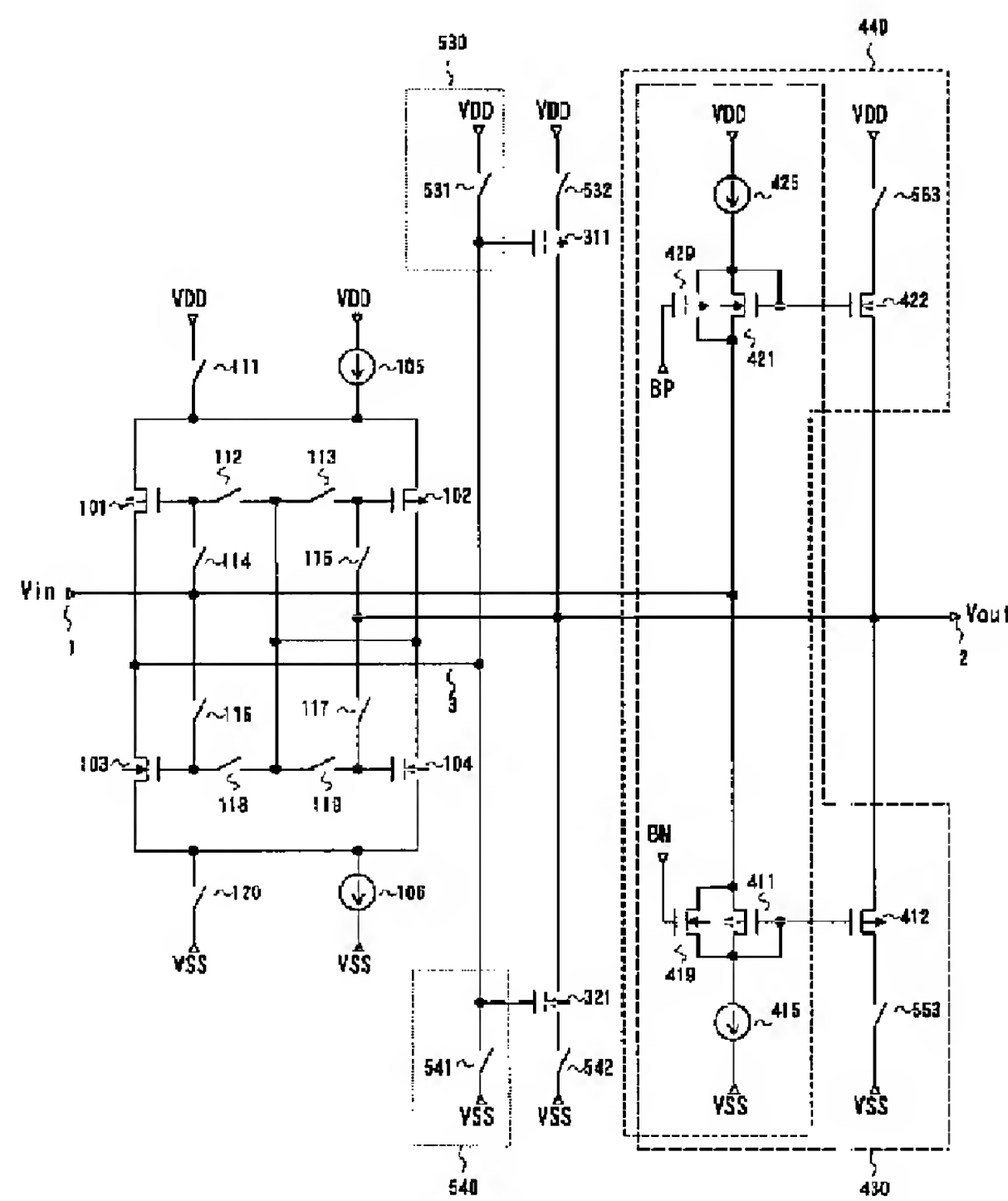


※1) 差動段出力をリセットできるだけの時間

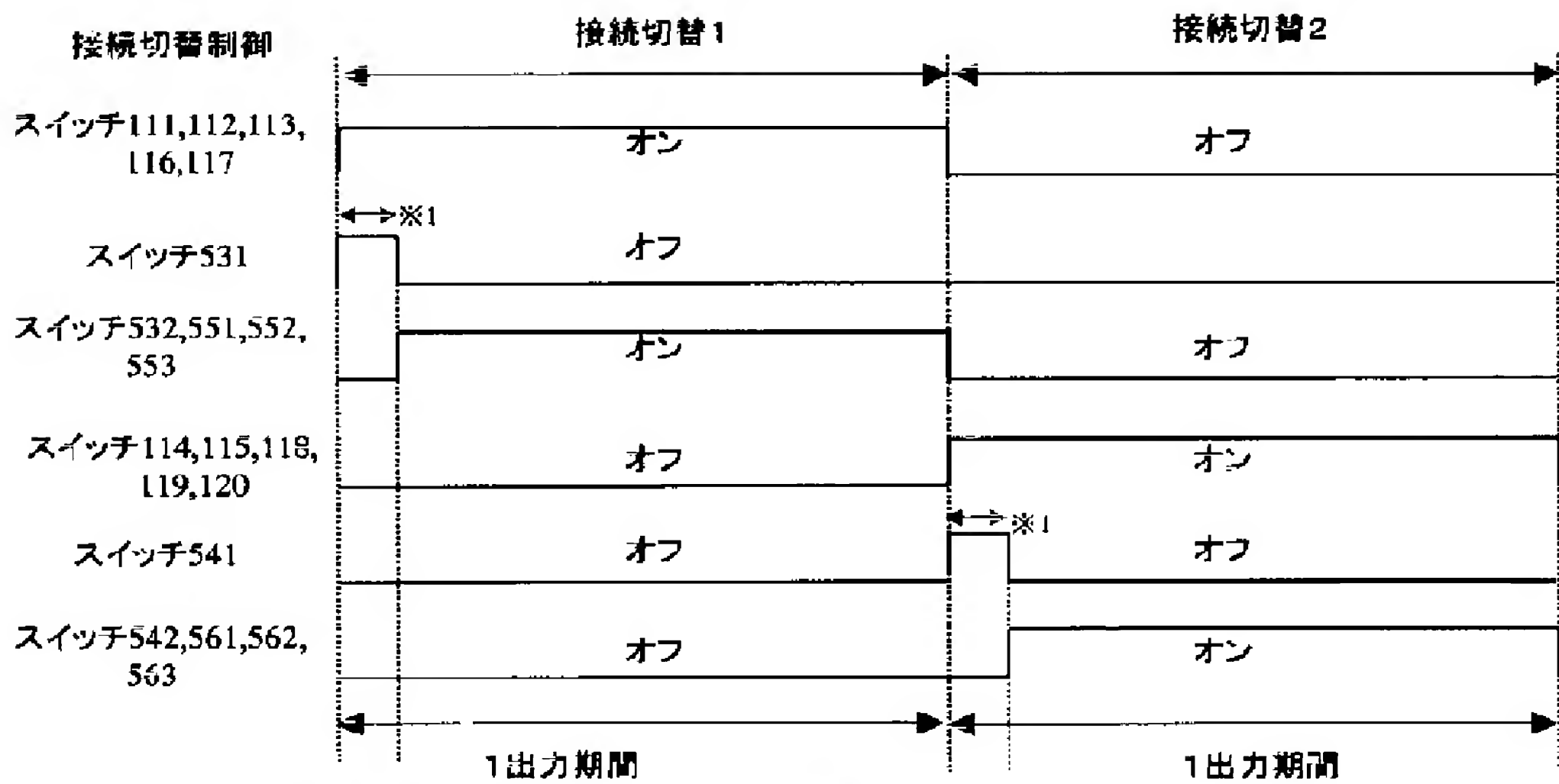
【図10】



【図12】

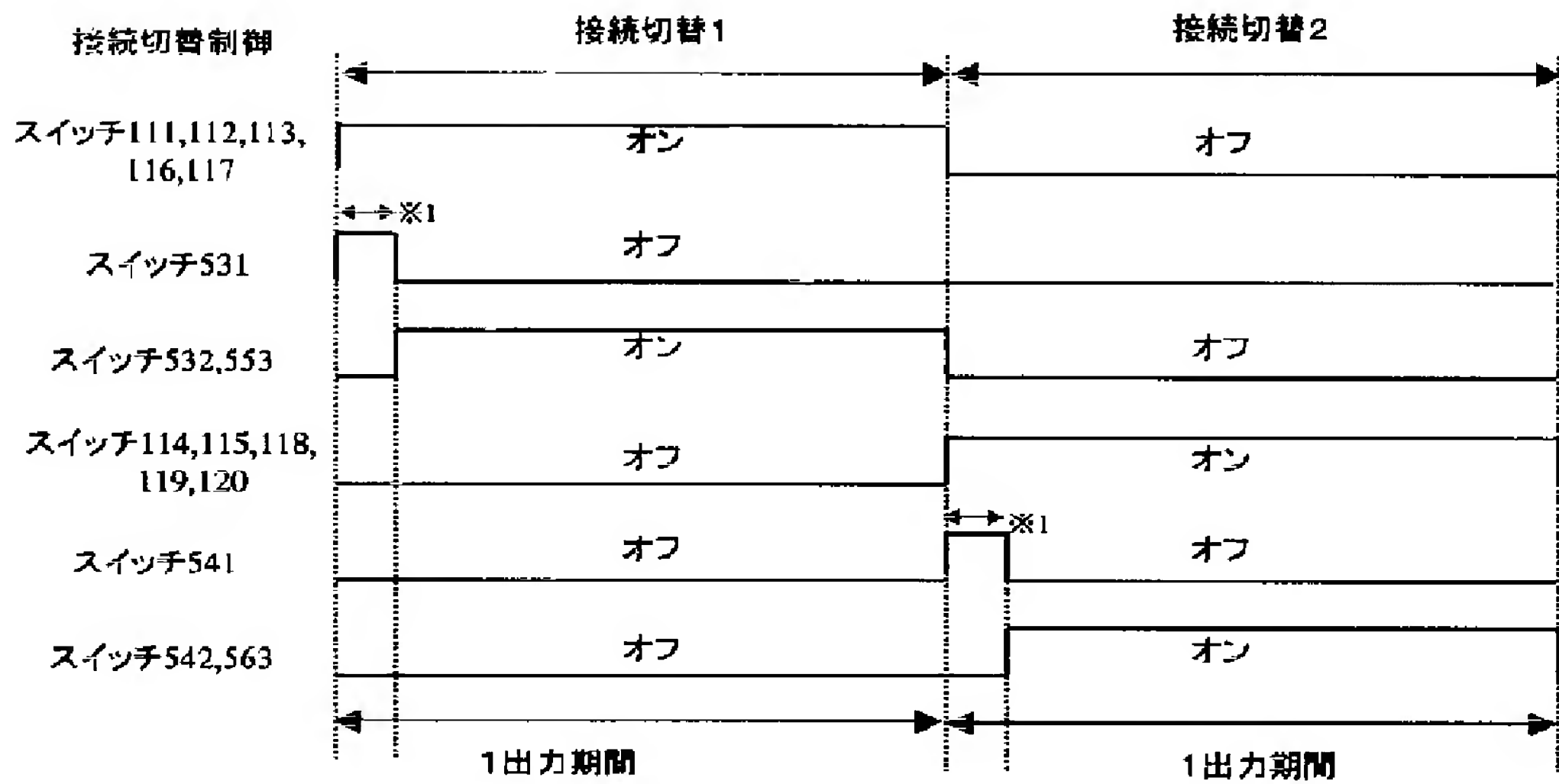


【図11】



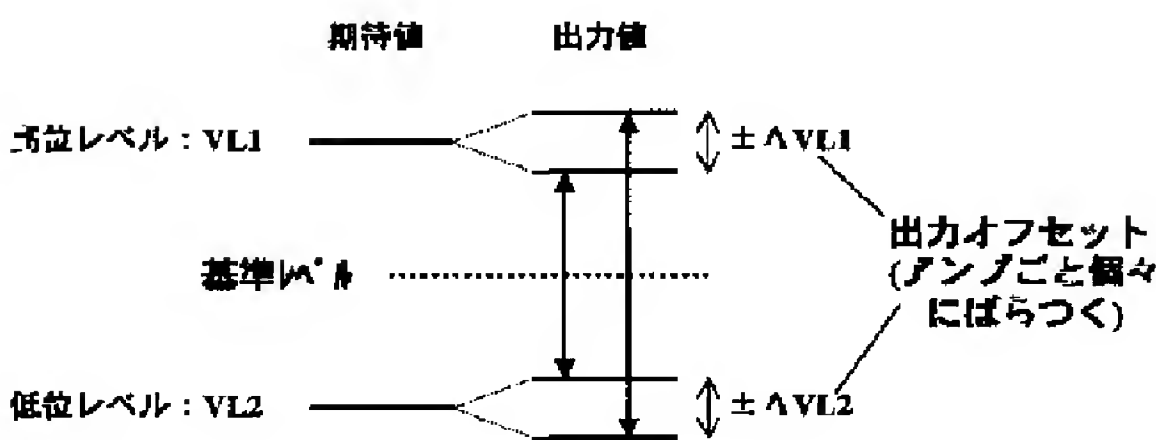
※1) 差動段出力をリセットできるだけの時間

【図13】



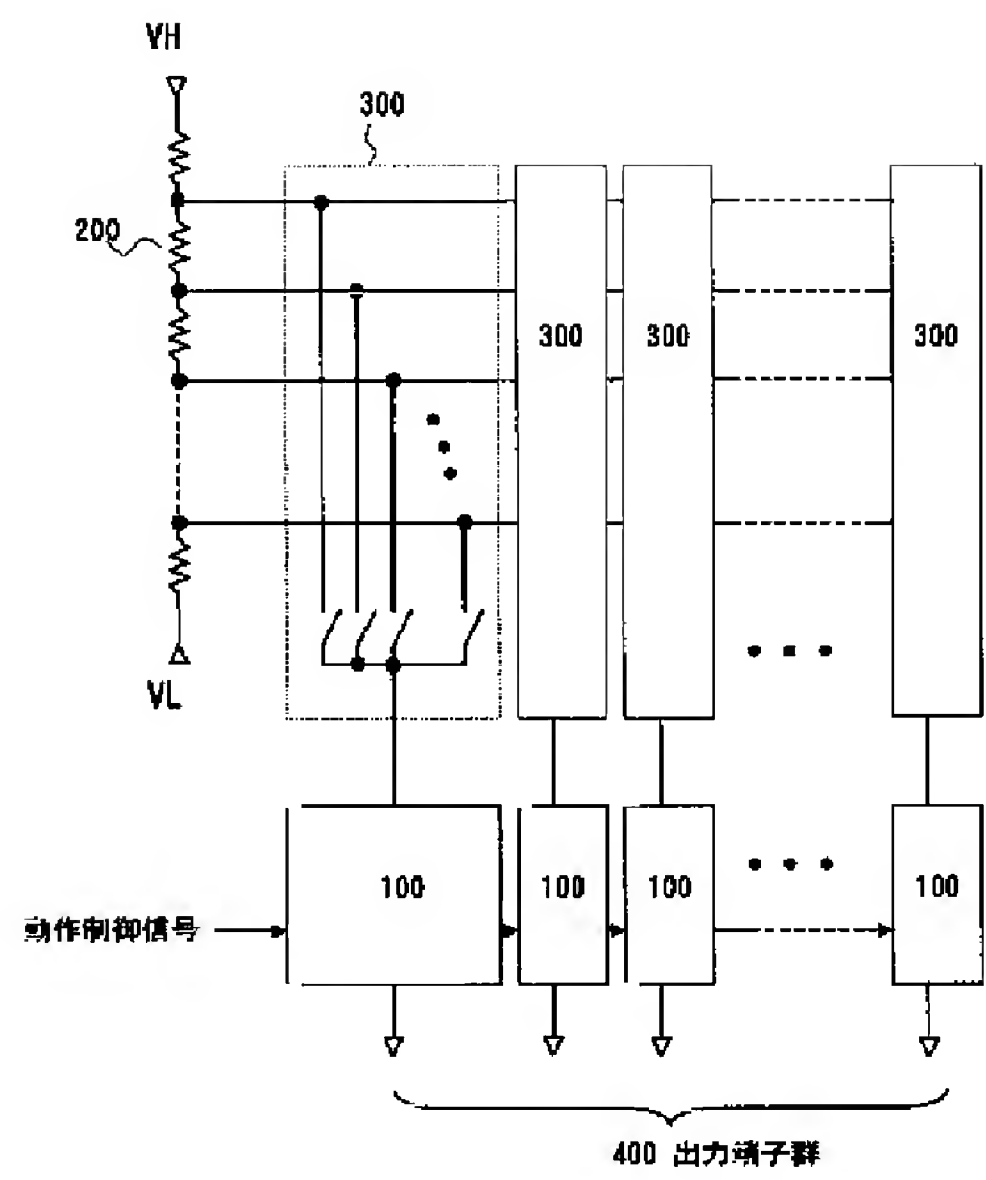
※1) 差動回路出力をリセットできるだけの時間

【図16】

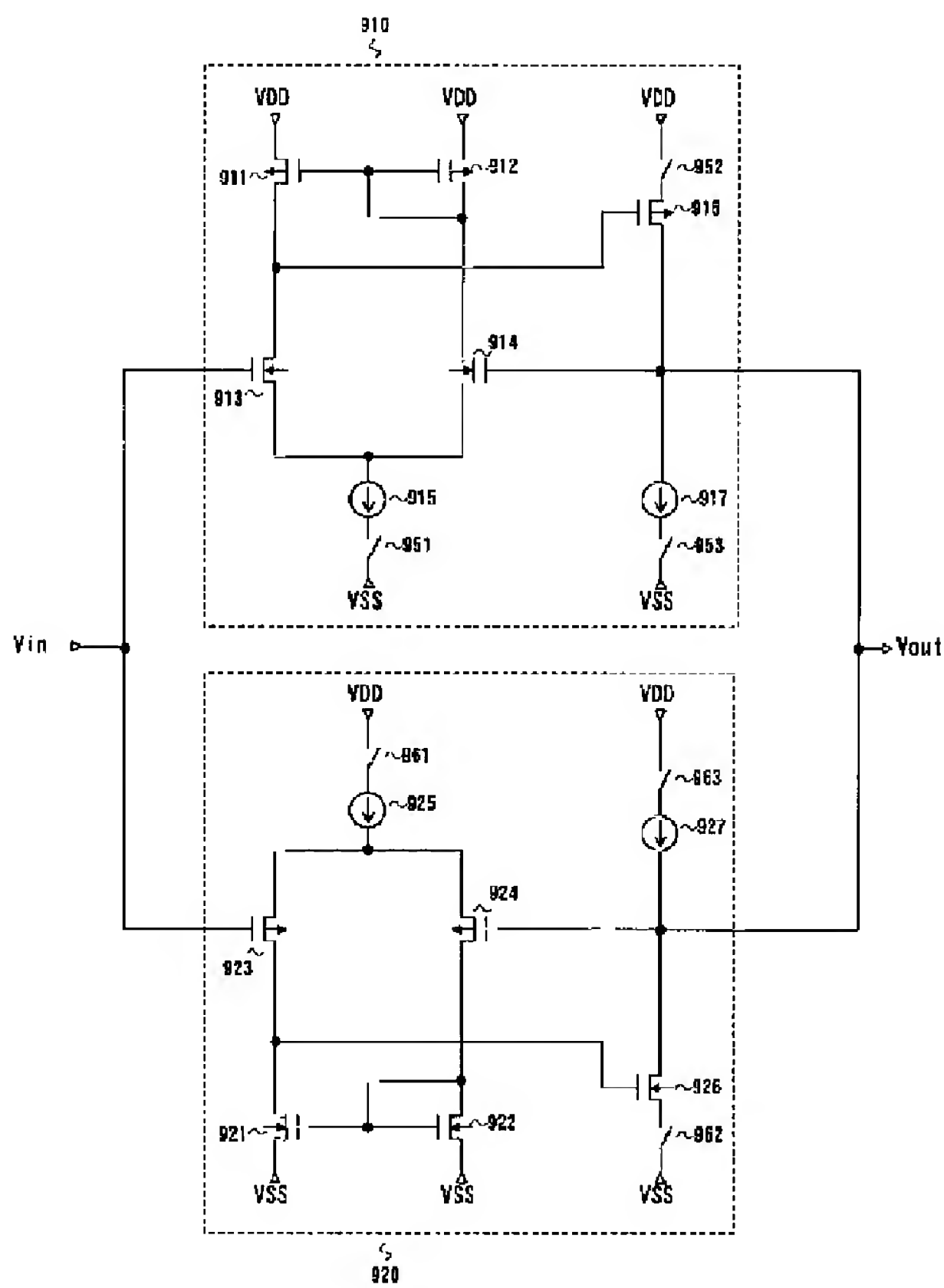


振幅差偏差最大値 = $2 \times (\Delta VL1 + \Delta VL2)$

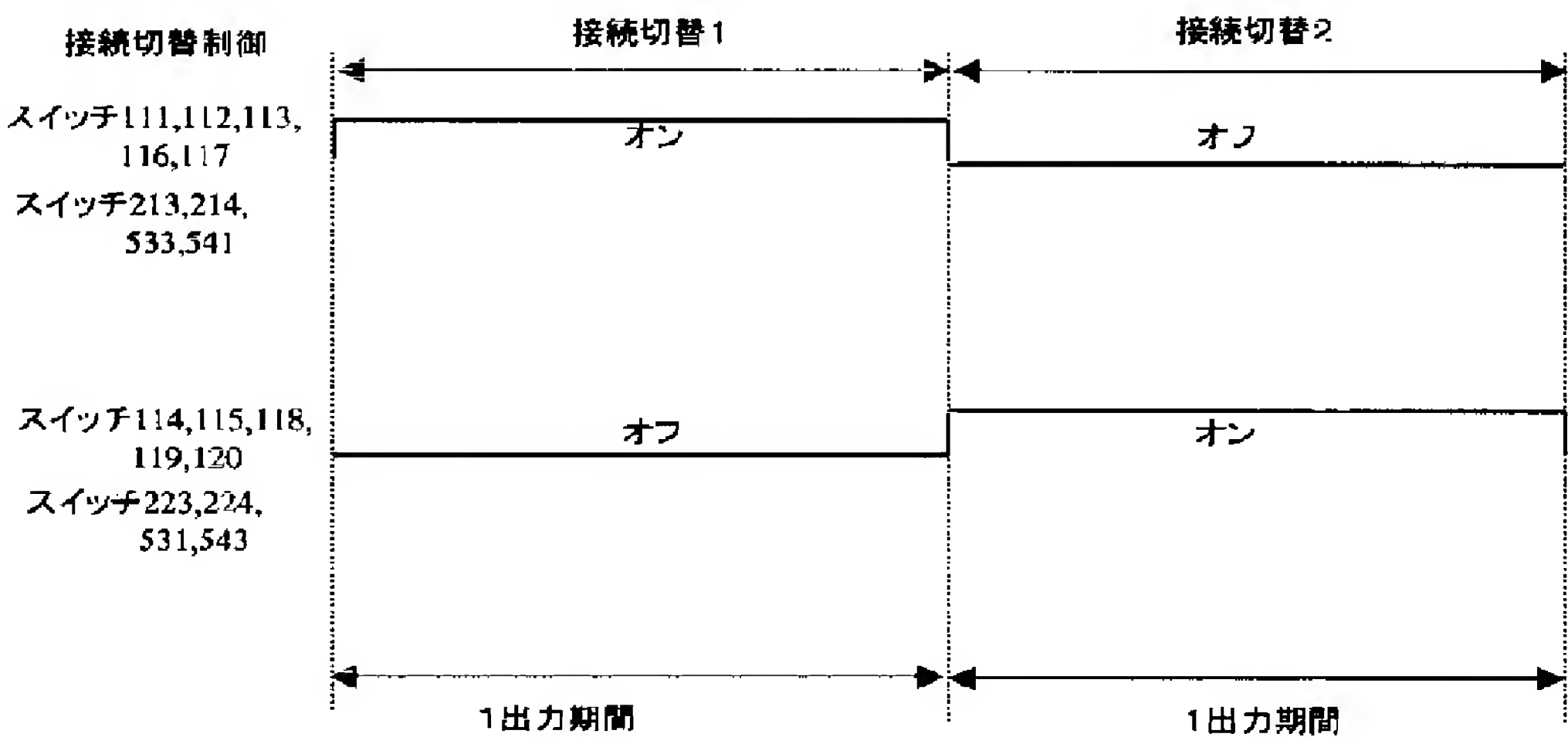
【図14】



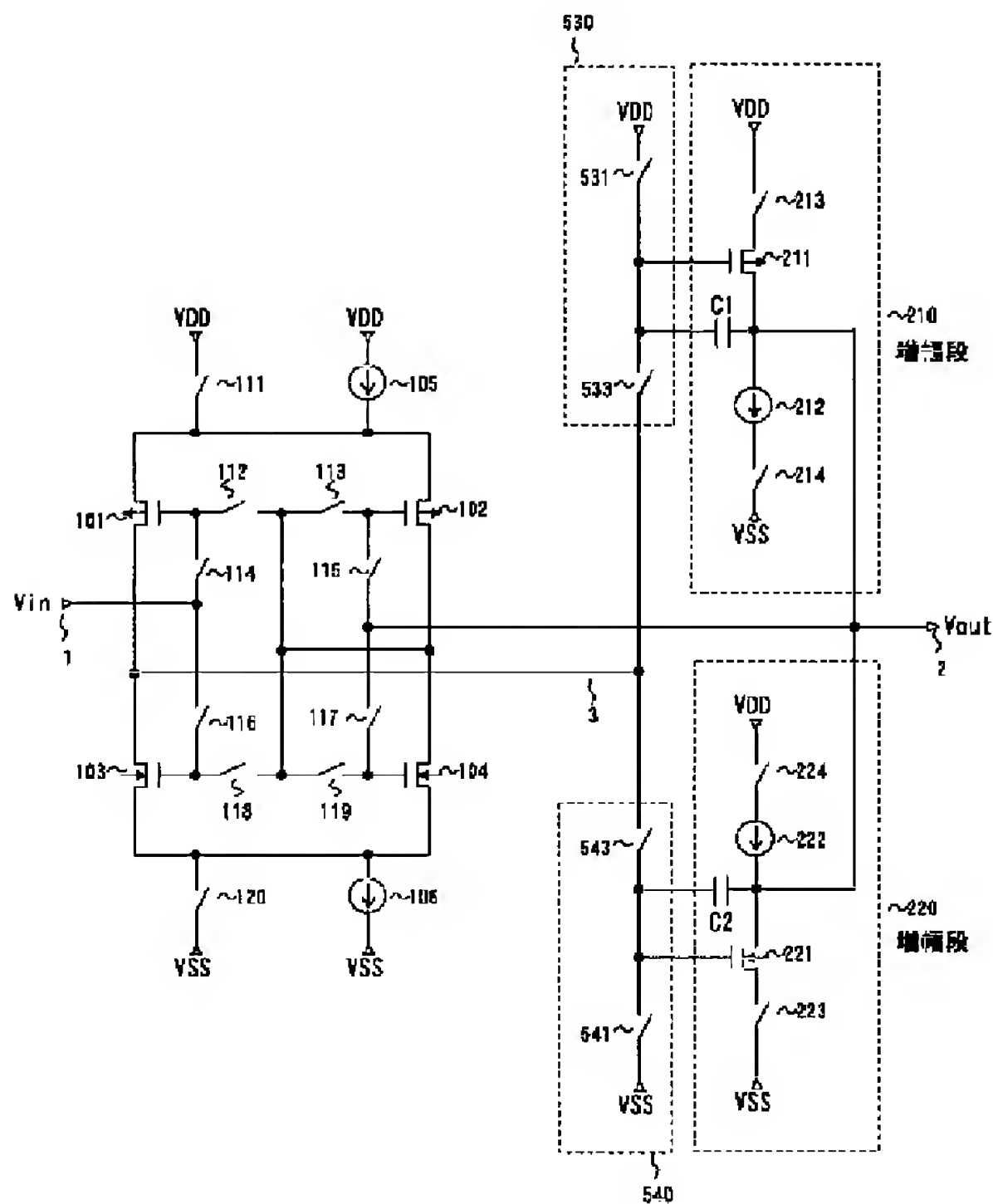
【図15】



【図18】



【 図 1 7 】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	(参考)
G 0 9 G 3/36		G 0 9 G 3/36	

Fターム(参考) 5C006 BC11 BF25 FA20 FA47
5C080 AA10 DD26 JJ03 JJ04
5J066 AA01 AA12 AA51 CA00 CA34
CA36 FA18 HA09 HA17 HA25
HA29 HA38 HA39 KA02 KA05
KA09 MA21 ND01 ND12 ND22
ND23 PD02 SA00 TA01 TA02
TA06
5J500 AA01 AA12 AA51 AC00 AC34
AC36 AF18 AH09 AH17 AH25
AH29 AH38 AH39 AK02 AK05
AK09 AM21 AS00 AT01 AT02
AT06 DN01 DN12 DN22 DN23
DP02